

金属酸化膜半導体集積回路用の最適複合論理モジュール設計手法の研究

浅田 邦博
東京大学 工学部
電子工学科 助教授

1. はじめに

今日のVLSI技術の中心の一つはCMOS技術であるが、この回路技術上の特徴の一つは、論理ゲート1段で複雑な論理関数を実現できる複合論理回路が利用できることである。これは主としてANDゲートやORゲート等の単純ゲートを中心とするバイポーラ集積回路技術と異なる点であり、CMOS技術では複合論理回路を利用して高集積密度・低消費電力のVLSIを実現できる。しかし、いわゆる目的に特化したカスタム集積回路(ASIC)では、必要となる論理機能が多種多様であり、あらかじめ最適のコンパクトな複合論理ゲートをライブラリとして用意することは事実上困難である。つまり、ライブラリとしての使用頻度が低いことが予想され、通常、人手作業で設計・登録するライブラリとしては経済性が低い。

本研究ではこの問題に対し、複合論理ゲートの自動合成手法を開発することで工学的解決策を見出すことを試みた。具体的には、(1)論理記述からCMOS複合論理回路トポロジーを合成する手法、(2)合成された複合論理回路を使用条件下で最適化する手法、および(3)高密度マスクパターン生成手法の3つの部分に分け研究した。以下では各手法について報告し、最後にこれらの手法を評価してまとめる。

2. 複合論理回路トポロジー合成

1) 1段複合ゲートのトポロジー合成

論理記述からCMOSの回路トポロジーを合成する手法には、従来から論理式レベルで取り扱う手法が一般的である。これは論理式を積和形や因数分解されたものに変換した上で、積を直列回路、和を並列回路で実現するものである。合成される回路トポロジーは、直並列回路が多重に入れ子になった構造のものに限られる。しかしCMOS回路では直並列入れ子構造の回路だけでなく、排他的論理和回路のようにその他の部類に属する有用な回路も多い。そこで本研究ではこの欠点を克服するために多値の論理系で因数分解・統合を再帰的に行う手法^[1]を、トポロジー合成の出発点に用いた。

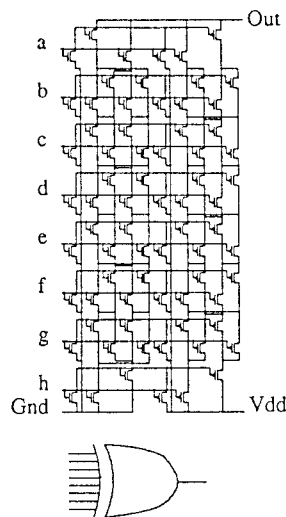
```
*function XOR8
```

```
*input a b c d e f
```

```
C1: XOR(a,b,c,d,e,f)
```

```
else C0
```

図1 論理記述の例（8入力排他的論理和）



Single stage 72 FETs

図2 1段複合ゲートとして合成された8入力排他的論理和

図1は8入力排他的論理和の論理記述の例であり、図2は上述の手法で合成された回路トポロジーである。この例では回路トポロジーは規則性こそ高いものであるが、直並列入れ子構造としては表現できないことに注意されたい。

2) 複合回路トポロジーの多段分解

1段の複合論理ゲートは多くの場合、トランジスタ数が最小であるが、入力数の二乗にほぼ比例して動作速度が悪化する欠点がある。この性質から動作速度とチップ面積との間にトレードオフ関係が存在するため、最適設計では段数の異なる同一機能の回路を比較検討する必要がある。

ある。

多段論理回路の合成手法として従来知られている手法は、前項で述べた因数分解法を拡張したものであるが、通常、単純論理ゲートの組合せを生成するものであり、直並列入れ子構造以外を含む、一般の複合多段論理ゲートは扱えない。そこで本研究では論理式レベルでの因数分解等⁽²⁾⁽³⁾の取り扱いではなく、回路トポロジーレベルで多段化する新たな手法を開発した。

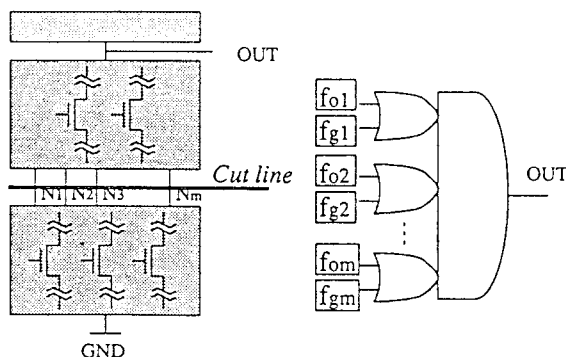


図3 トポロジー分解の概念図

図3はその手法を説明した概念図である。図に示されるようにこの手法では、CMOS回路のnMOS部分（あるいはpMOS部分でもよい）を取り出し、出力から接地点に至るほぼ中間点で回路を上下2つの部分回路に切断する。切断点は一般には複数となるが、出力が接地する条件が上部回路と下部回路のそれぞれの導通条件の論理積であることに着目し、(1)上部論理、(2)下部論理、および(3)両者を接続するためのつなぎ回路の3つの部分に分解できる。複数の切断点があるときには上部回路や下部回路が複数できるが、それらの導通条件を切断された回路トポロジーから抽出・整理し、相補関係をも考慮した上で異なる論理だけを前項で述べた手法で再合成する。3つの部分に対しそれぞれの入力数が所定の数以下になるまで再帰的に切断・再合成を繰り返す。

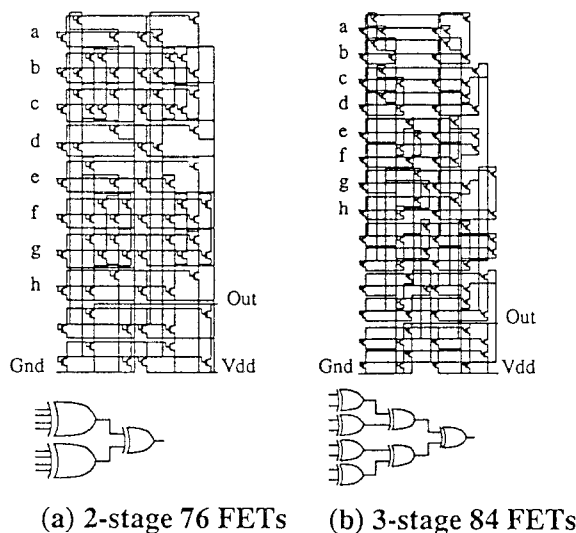


図4 2段、3段に多段分解された8入力排他的論理和

図4は本手法で図2の1段回路を多段分解した例である。分解により各段の入力数は8から4、2と減少する反面、回路を構成するためのトランジスタ総数は増加している。

3. 多段複合論理回路の速度・面積の最適化

一般に1つの与えられた回路トポロジーに対し、定められた負荷容量と遅延時間内で動作するような最小面積の回路を設計する問題は、ASIC応用では重要な課題である。この種の問題では回路の動作モデルと面積評価モデルが重要となるが、比較的大きな回路に対し多数の入力パターンについて計算量の点から可能な手法は、前者については抵抗-容量回路モデル(RCモデル)であり、後者についてはトランジスタのチャンネル巾の総和が知られている。

線形モデルとしては非線形モデルに比較し簡単であるが、それでも遅延を正確に求めることは多くの計算量を必要とする。しかし、容量の片方が常に接地された、分岐を含むはしご形RC回路については、文献〔4〕の近似式が知られており、本研究ではこれを採用した。また回路面積の評価はレイアウト様式に依存する部分が多く、一般には評価困難であるが、トランジスタ巾の総和を用いることとした。

以上の前提に立ち、多段複合論理回路のトランジスタ寸法を所定の負荷容量を許容遅延時間のもとで最適化する手法を開発した。⁽⁵⁾⁽⁶⁾ 図2および図4の各8入力排他的論理和ゲートに対し、本手法を適用した結果を図5に示す。この図から分かることは、(1)負荷容量と許容遅延時間に反

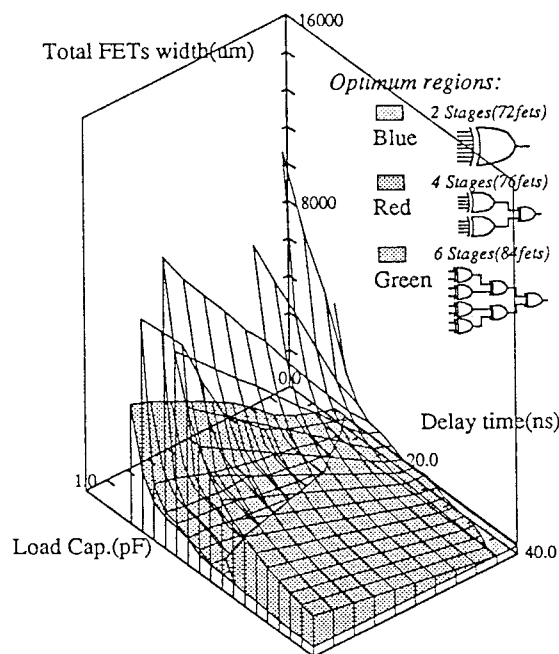


図5 負荷容量・許容遅延時間と回路面積との関係

比例的に面積(つまりトランジスタ巾の総和)が大きくなる一般的傾向と、(2)回路の段数に応じてそれぞれ最も面積が小さくなる領域が存在することの2点である。(2)については段数が小さい回路は低負荷容量かつ許容遅延時間が長い場合に向いており、段数が大きい回路はその逆であることも分かる。

4. 高密度マスクパターン生成手法

前節までの各手法で合成されたCMOS多段複合ゲート回路は、トランジスタ寸法情報付きのトランジスタ回路網である。これから最終的マスクパターンに変換することは通常は人手によることが多いが、本稿の初めに述べたように自動化の効果が大きい部分でもある。従来、トランジスタ回路網からマスクパターンへ変換する手法には、古典的二次元トランジスタアレイ、および二次元ゲートマトリクス等が知られている。これらの手法を適用することも可能ではあるが、様々なトランジスタ寸法に対し適応すると全体のマスクパターン寸法が最大トランジスタで制約されることとなり、効率が悪い。そこで本研究では、ゲートマトリクス法や二次元トランジスタアレイをもとに、それを变形圧縮して面積を最小化する手法を検討した。⁽⁷⁾⁽⁸⁾

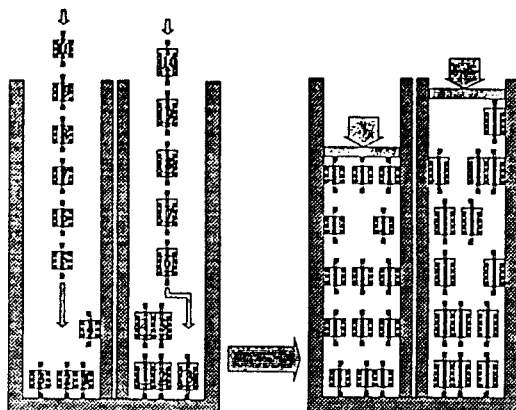


図6 ゲートマトリクスくずしの概念図

図6はゲートマトリクスを变形圧縮する手法の概念図である。この圧縮により、各トランジスタは曲げられ所定の中につめこまれる。このように圧縮されたトランジスタレイアウトは接続するためにグリッドを用いない多層迷路配線手法を開発した。

図7は本手法で合成された図2の8入力排他的論理和である。

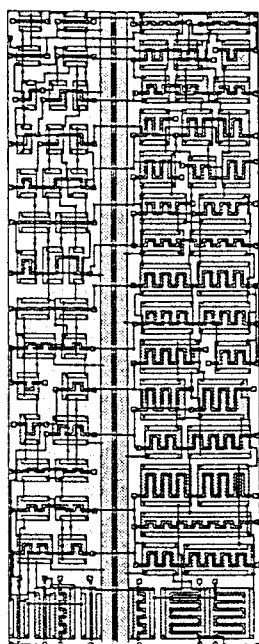


図7 多層迷路配線手法による図2の8入力排他的論理和

5. まとめ

本研究ではC M O S複合論理回路モジュールの自動合成のために、論理記述から多段複合論理ゲートのトポロジー合成、与えられた負荷容量と許容遅延時間のもとでの面積の最適化、そして高密度マスクパターン合成の手法を研究した。各手法は有機的に結合しており、全体として論理記述からの高密度モジュール合成手法となっている。また各部を独立なものとして、他の手法と組合せることもできる。

本手法の残された問題点としては、遅延モデル、面積評価モデルの精密化等が挙げられる。また適応回路規模の上限は現在の計算機処理速度では数百～数千トランジスタのモジュール回路までである。今後は階層的に本手法を発展させていきたい。

なお本研究で開発されたプログラムの一部を含むC A Dツール一式が文献〔9〕として出版されていることを最後に付記したい。

参考文献

- 〔1〕 K. Asada and J. Mavor, "MOSYN : a MOS circuit synthesis program employing 3 way decomposition and reduction based on seven-valued logic", IEE Proc., Vol.137, Pt. E, No.6, Nov 1990
- 〔2〕 Z. J. Dai and K. Asada, "Topology Decomposition for Area-minimum Multi-stage Complex Gates Synthesis", IEEE Proc. Custom Integrated Circuits Conf., Boston, pp.14.2.1-14.2.5, May 1990
- 〔3〕 戴志堅、浅田邦博, "回路トポロジーの多段分解による面積最少回路の一合成手法", 信学論 (A), J74-A, No.2, 1991.2
- 〔4〕 P. Penfield and J. Rubinstein, "Signal Delay in RC Tree Networks", Prof. 18th Design Automation Conf., pp.613-617, Jun 1981
- 〔5〕 Z. J. Dai and K. Asada, "MOSIZ : A Two-step Transistor Sizing Algorithm based on Optimal Timing Assignment Method for Multi-stage Complex Gates", IEEE Proc. Custom Integrated Circuits Conf., San Diego, pp.17.3.1-17.3.4, May 1989
- 〔6〕 戴志堅、浅田邦博, "最大許容遅延時間割付による多段複合M O S回路のトランジスタ寸法の二段階最適化手法", 信学会 (A), J73-A, No.3, pp526-535, 1990.3
- 〔7〕 Y. Sone, S. Suzuki and K. Asada, "A Gate Matrix Deformation and 3-Dimensional maze routing for dense MOS module generation", IEEE Proc. Custom Integrated Circuits Conf. San Diego, CA, pp.3.5.1-3.5.4, May 1989
- 〔8〕 Z. J. Dai, Y. Sone and K. Asada, "A Module Generation System of dense Pseudo-random Layouts for Speed tuned MOS circuits", IFIP Working Conf. VLSI'89, Munich, pp.23-32, Aug 1989
- 〔9〕 浅田邦博、鈴木真一、戴志堅、趙慶録、藤島実, "MOSES/MOS集積回路モジュール設計システム", 東大出版会, 1991.3