

グリーン IT に向けての IT 機器用高電力効率・高精度安定化電源システムの開発

石塚 洋一

長崎大学大学院工学研究科 〒852-8521 長崎市文教町 1-14

isy2@nagasaki-u.ac.jp

あらまし IT 機器による電力利用が増大し続けている。このような機器の電力利用効率をあげるためには、知的な電力供給を行うスイッチング電源のインテリジェント化が求められている。スイッチング電源向けデジタル制御については、マイコンや DSP などを利用したソフトウェアベースタイプが、比較的大容量の電源向けやシステム等の比較的成本に余裕のある制御回路として数多く研究・開発が行われ、現在主流である。これに対し、ハードウェアロジックタイプは、その用途などが明確でなくあまり多く普及していない。用途として、中・低容量の非絶縁型のスイッチング電源向けが考えられるが、コストやその応答性に関わる独特の問題が存在する。筆者は、過去にこのような問題点を改善可能なデジタル制御回路方式を提案し、改善を重ねてきている[1-3]。今回は、出力電圧検出精度の向上とこれに伴う制御遅延時間の低減を兼ね備えた区分的出力電圧検出精度可変法を提案し、これらを実験により確認する。

1. はじめに

集積化技術の進歩により電子機器の普及が急速に進み、その利用分野は広がっている。また、省エネルギー化も急務で、これに伴い、電子機器に電力を供給するスイッチング電源への要求はますます厳しくなっている。現在、FPGA や DSP といったシステム LSI 等の集積回路素子は高性能化・高速化が進み、消費電力が増大しているため、その対策として低電圧駆動化が進んでいる。低電圧化による厳しい電圧マージンを満たすために、負荷の直近に電源を配置する Point-of-Load(POL)が利用される。POL には低電圧・大電流駆動、高速負荷応答、高効率および低コスト等が求められており、低コストで実現可能な、高精度かつ高速な制御回路が必要となっている。これらの仕様に対応し、今後更に多様化する制御条件を満たすためにはハードウェアロジックタイプのデジタル PWM(DPWM)制御回路が有効である[1-11]。本稿では、まず一般的な DPWM 制御方式と本研究室で提案している DPWM 制御方式の回路構成と簡単な動作原理について説明する。次に出力電圧検出精度の向上とこれに伴う制御遅延時間の低減を兼ね備えた区分的出力電圧検出精度可変法を提案し、これらを実験により確認する。実験結果より、静特性および動特性の面から制御の安定性および速応性を示し、その有効性を示す。

2. DPWM 制御方式 POL(DPWM-POL)

2.1. 一般的な DPWM-POL の回路構成

DPWM 制御方式は制御性・柔軟性に富み、監視や故障診断が容易で、出力電圧や出力電流の厳密な安定化が容易であるために今後の電源部における制御方式の

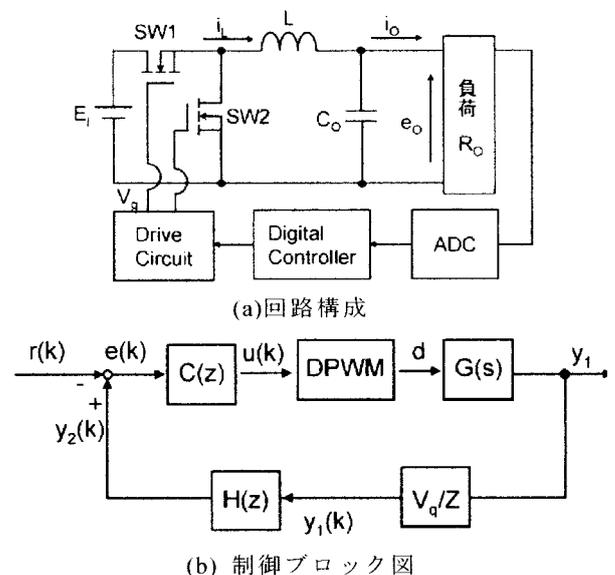
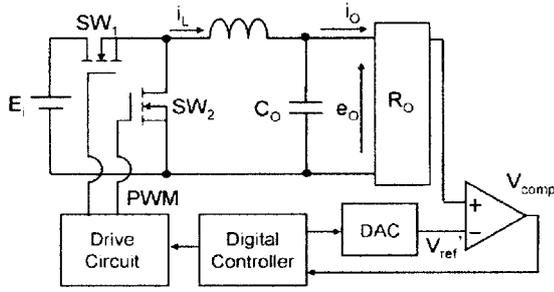


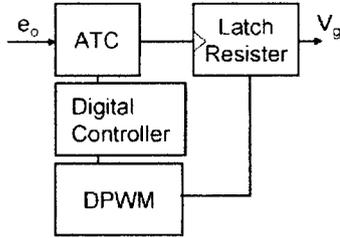
図 1 一般的な DPWM-POL

主流になると考えられている。図 1 に示すような一般的な DPWM 制御方式の回路構成では、アナログ値である POL の出力電圧 e_o に対し A/D 変換を行い、Digital 値へ変換された出力を元に Digital Controller で制御演算を行い、Driver Circuit を通して PWM 信号を出力しスイッチングを行う。A/D 変換の後に制御演算を行う構成をとっている。A/D 変換器は、通常変換時間が数 μs 必要なため、高速応答の実現には高速変換が可能な高価な A/D 変換器が必要となる。さらに、制御演算のスピードもそのまま遅延時間に反映される。

一般的に変換速度、ビット数およびコストはトレードオフの関係にあり、今後の更なる高速応答化や高精度化の要求により高コスト化は免れない現状にある。



(a)回路構成



(b)制御回路構成

図2 提案する DPWM-POL

そこで、このような DPWM 制御方式の回路構成における問題点を改善することを目的として、我々は従来にない回路方式および研究を進めている。本研究にて提案する DPWM 制御方式の回路構成では、アナログ値検出インターフェース回路に D/A 変換器と Comparator を用いることで高速化を図り、さらにアナログ値検出と制御演算を並列に処理する構成をとっている[1-3]。

2.2. 提案する DPWM-POL の回路構成

図2に本研究にて提案を行っている DPWM-POL の回路構成と制御回路構成を示す。基本的な動作は、アナログ値である POL の出力電圧 e_o に対し、Comparator を用いて基準電圧と比較し、Digital Controller で制御演算を行い、Drive Circuit を通して PWM 信号を出力しスイッチングを行う。特に、アナログ値検出部は、メインの Digital Controller の制御を元に、ラダー型の様な単純な構成の D/A 変換器さらに Comparator で形成されている。出力電圧 e_o と基準電圧 V_{ref} は Comparator で比較され、その検出情報は、デジタル値としてではなくタイミングとして出力される。この処理部を Analog Timing Converter(ATC)と称している。この ATC により、A/D 変換と制御演算とを並列に処理可能な

め、低コストで高速な応答が可能な DPWM 制御回路が実現可能である。

2.3. 提案する DPWM-POL の制御回路構成

2.3.1. ATC ブロック

図3に提案する制御方式のシステム構成を、図4に各部動作波形をそれぞれ示している。ATC ブロックを含めて全てのブロックが、システムブロック f_s に同期している。

POL の出力電圧 e_o は、ATC ブロックにおいて D/A 変換器で比較され、ラッチレジスタにラッチ信号として出力される。D/A 変換器の最大出力値は、POL の基準出力値 V_{ref} と電圧マージン α の和である。

2.3.2. Look-up Table 方式による PID 制御

図3において、memory2 には Look-up Table 方式により、予め address に応じた演算結果である時比率情報 $u(k)$ がプリセットされており、 V_{comp} が立ち上がり次第、 $u(k)$ を出力する。デジタル制御系の PID 公式による時比率情報 $u(k)$ は次式で表わされる[12]。

$$u(k) = u_{ref} + K_p e(k) + K_I n_I(k) + K_D \{e(k) - e(k-I)\} \quad (2.1)$$

ここで、 U_{ref} : 時比率情報の基準値、 K_p : 比例ゲイン、 K_I : 積分ゲイン、 K_D : 微分ゲイン、 $e(k)$: 周期 k における偏差($e(k)=y(k)-r$)、 $y(k)$: 周期 k における V_{ref} と e_o が交差する address、 r : 目標値 V_{ref} の address、 $n_I(k)$: 偏差 $e(k)$ の積分値($n_I(k)=n_I(k-1)+e(k)$)である。

また、式(2.1)は次式に置き換えることができる。

$$u(k) = u_{ref} - (K_p - K_I) r + A \{y_2(k) + \frac{K_I}{A} n_I(k-I) - \frac{K_D}{A} y_2(k-I)\} \quad (2.2)$$

ここで、 $A=K_p+K_I+K_D$ である。

$$a = \frac{K_I}{A} n_I(k-I) \quad (2.3)$$

$$b = \frac{K_D}{A} y_2(k-I) \quad (2.4)$$

memory3, 4 は、それぞれ $n_1(k-1)$, $y_2(k-1)$ の入力に対して a, b のプリセットデータを保持しており、前出のラッチ信号にて読み出しを行っている。読み出された a-b を次のスイッチング周期の PC の初期値としている。PC においては、クロックと同期して memory2 の address' が、一つ前のスイッチング期間中に設定された a-b を初期としてカウントアップされる。

$$address' = y_2(k) + a - b \quad (2.5)$$

$$u(k) = u_{ref} - (K_p + K_I)r + A\{address'\} \quad (2.6)$$

ATC ブロックの処理と並行して、 $u(k)$ はシステムクロックにより変化し、前出のラッチ信号にて memory2 より $u(k)$ が出力される。

つまり、一般的なデジタル制御方式と比較して、時比率情報を周期毎に演算を行うことがなく、メモリに対してのコール及びロード時間のみにて、その遅延を限りなく低減している。

また、上記動作と並行して、ATC ブロックにおける出力電圧の検出が行われるために、 k 周期目で検出された出力電圧の情報は、 I や D 成分を含んだ制御においても即時 $u(k)$ に対して反映可能である。

2.3.3. DPWM ブロック

このシステムでは、DPWM 信号の $T_{ON}(k)$ は $u(k)$ によって決定される。また、その値は、システムクロック

を f_s' とすると次式で与えられる。

$$T_{ON}(k) = \frac{u(k)}{f_s'} \quad (2.7)$$

ここで、 f_s' は PLL により通倍されたシステムクロックである。Digital Comparator は Up Counter の address と D flip-flop から出力された時比率情報 $u(k)$ を比較し、PWM 信号を出力する。

2.4. 区分的出力電圧検出精度可変法

～高精度化と検出遅延時間低減の両立～

上記のように、本システムは、ブロック化することで、それぞれのブロックでの改良を独自に加えていくことが可能である。今回は、特に ATC ブロックにおける出力電圧検出精度の向上を図った。

ATC ブロックで用いられる DAC は、ラダー型を想定しておりその出力部における電圧は、 $V_{ref}^+ = V_{ref} + \alpha$ および V_{ref}^- という 2 つの電位間において定められる。

つまり、出力される V_{ref}' は、

$$V_{ref}' = \frac{c(m)}{2^n} (V_{ref}^+ - V_{ref}^-) + V_{ref}^- \quad (2.8)$$

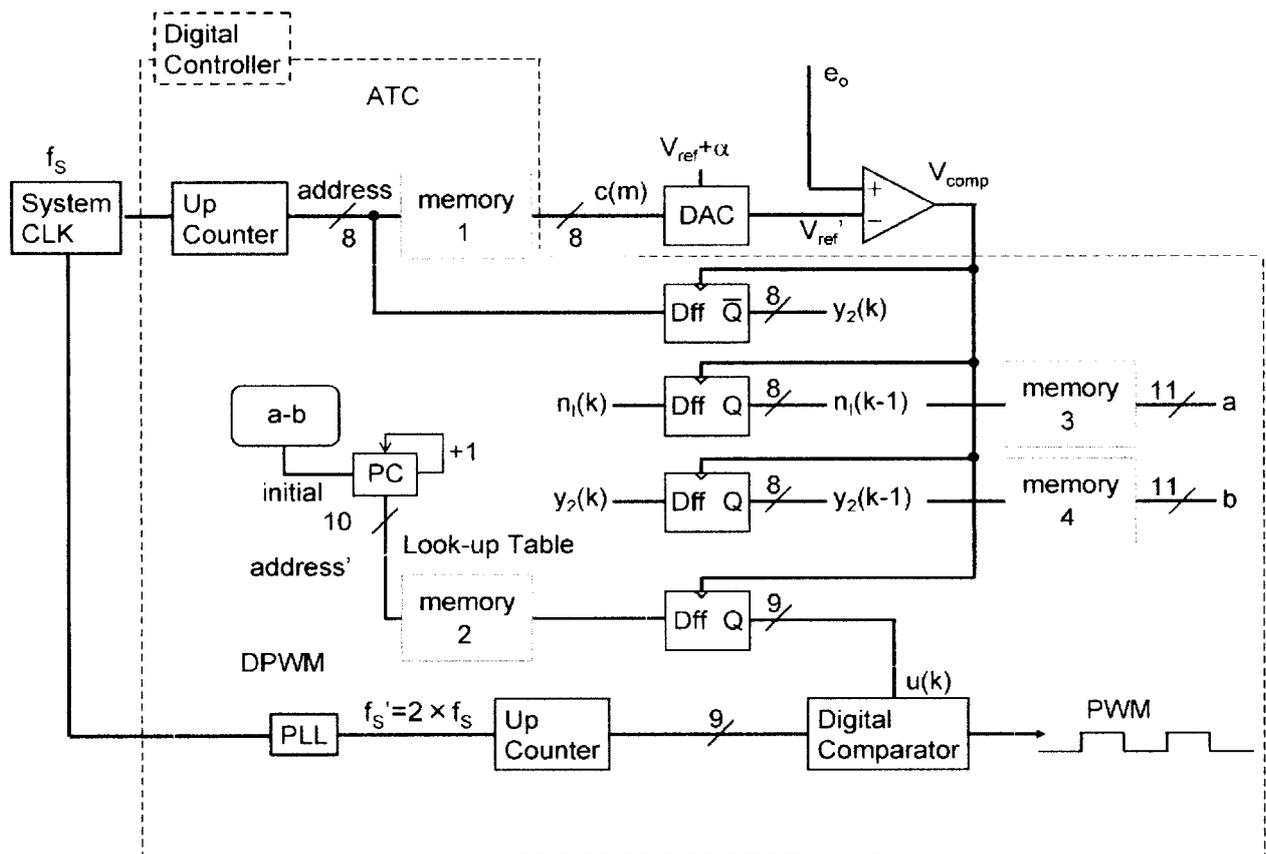


図3 提案する制御回路部のシステム構成図

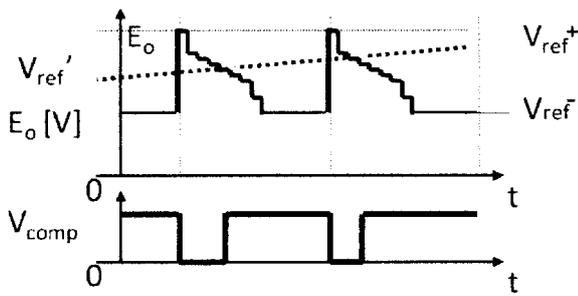


図 4. V_{ref}' と V_{comp} の波形

となる。ただし、 n はビット数である。
さらに、その LSB に対する電圧精度 a_{LSB} は、

$$a_{LSB} = \frac{1}{2^n} (V_{ref}^+ - V_{ref}^-) \quad (2.9)$$

となる。

今回、 $V_{ref}' = V_{ref}/2$ と設定することで、同 n ビット数のシステムにおいて $n+1$ ビット近くの精度を得ることが可能である。しかし、これにより出力電圧検出までの検出時間は増加する。そこで、これを短縮するにあたり、memory1 内部で図 4 のような波形情報をプリセットした。本回路手法においては、memory1 内にあらかじめプリセット可能なダウンカウンタ情報を元に、ATC ブロック部の状態を容易に変更可能である。この波形情報により、 V_{ref} 付近においては、従来に比べ 2 倍程度の検出精度向上が図られかつ検出までの時間は

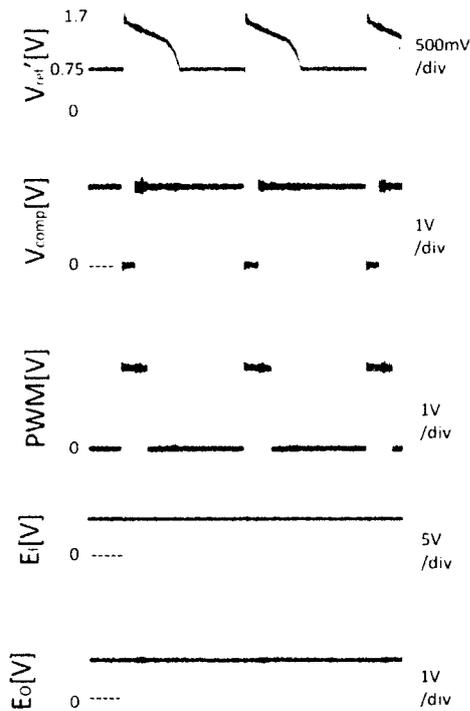


図 5 各部動作波形

従来通りで実現している。

3. 実験について

前章で述べた区分的出力電圧検出精度可変法の有効性を示すために図 3 の回路を作成し、静特性、動特性の面から実験を行った。

表 1 に実験パラメータについて示す。ゲインの変更については図 3 に示す memory2 の情報を書き換えるだけで簡単に行うことができる。実験における制御部の構成は Altera 社の FPGA (Stratix, EP1S10F780C7ES) を用いて行っている。動作クロック周波数は 33.3MHz である。また、D/A コンバータには Intersil 社の CA3338MZ を、アナログコンパレータには National Semiconductor 社の LMV7219 を用いた。図 5 に各部動作波形を示す。

3.1. 静特性

表 1 に示したパラメータで I_O - E_O 特性、 E_I - E_O 特性、 I_O - η 特性をそれぞれ図 6、図 7、図 8 に示す。なお今回の結果では制御効果が大きい比例ゲイン K_p のみの場合について示す。

表 1 実験パラメータ

入力電圧 E_i	2~8V
出力電圧 E_o	1.5V
出力電流 I_o	0~5A
スイッチング周波数 f_s	120kHz
リアクトル L	17 μ H
出力コンデンサ C_o	1000 μ F
比例ゲイン K_p	3~9
積分ゲイン K_i	0.1, 0.3
$V_{ref} + \alpha$	1.7V
V_{ref}	0.75V
system CLK f_{CLK}	33.3MHz

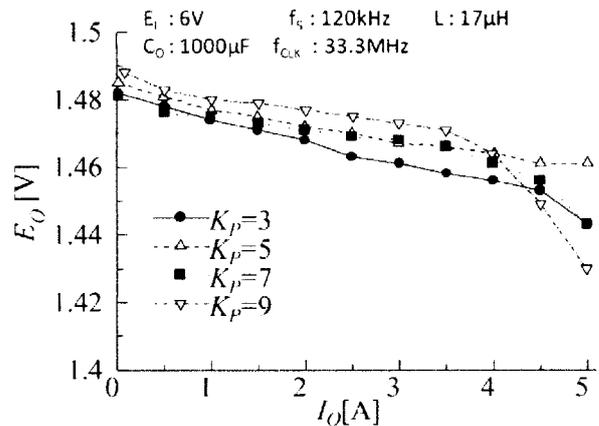


図 6 I_O - E_O 特性

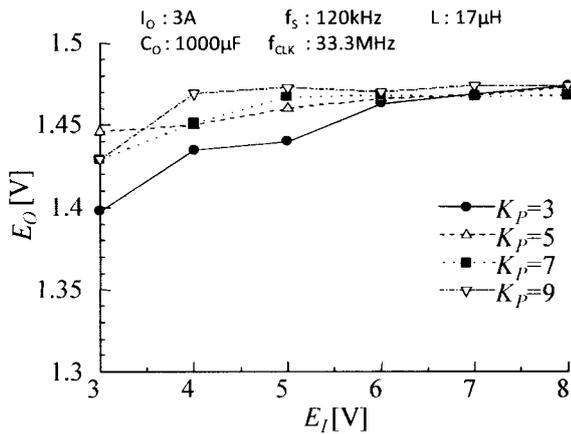


図7 E_I - E_O 特性

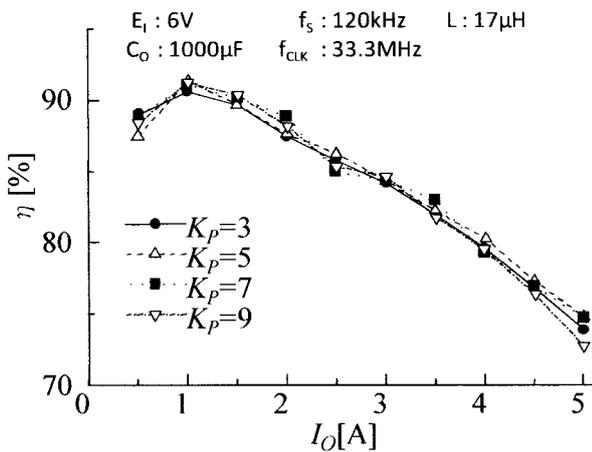


図8 I_O - η 特性

図7より、比例ゲイン $K_p=3$ のみで、出力基準電圧 1.5V に対し、実験に用いた負荷変動範囲内において 5%以内の偏差に留める事が可能であった。また、図8より比例ゲイン $K_p=5$ 以上で、出力基準電圧 1.5V に対し、実験に用いた負荷変動範囲内において 5%以内の偏差に留める事が可能であった。尚、定格時における偏差の調整もメモリ内部を調整することで可能である。

3.2. 動特性

図9, 10に0.5Aから5Aおよび5Aから0.5Aの負荷急変時における出力電圧の変動をそれぞれ示す。なお、実験での負荷急変には電子負荷 KIKUSUI PLZ334W を用い、スルーレートは $250\text{mA}/\mu\text{s}$ と設定した。制御パラメータは、比例ゲイン $K_p=9$ 、積分ゲイン $K_I=0.3$ とした。

図9より出力電流の変動が5Aの場合は高い比例ゲインでも安定した制御ができていないことが確認でき、 $100\mu\text{s}$ 以内の応答性を確認した。また、図10より出力電流の

変動が5Aの場合は、収束時間が $100\mu\text{s}$ を超えてしまう結果となってしまったが、オーバーシュート、アンダーシュートともに10%以内に抑えることが可能であった。

4. まとめ

本稿では、筆者が提案した DPWM 制御方式の Analog Timing Converter (ATC) 部である出力電圧検出部について同ビット数での精度向上およびそれに伴う制御遅延時間の低減を図った区分的出力電圧検出精度可変法を提案し、実験を行った。実験結果より、その制御時間遅れを伴わない検出精度の向上により、比較的安定した制御が可能である事を確認した。しかし、出力電圧検出部の精度向上に伴って、スイッチングノイズによる影響も大きくなり誤検出の可能性も大きくなると考えられる。また、今回はスイッチング周波数 f_s が 120kHz であり、速応性を高めるためにはさらに周波数を上げる必要がある。そこで、今後は更なるスイッチングノイズによる誤検出の回避方法と各制御パラメータおよび V_{ref}^+ および V_{ref} の最適化が課題となる。これらの改善をすすめ、この技術を基に、電力利用が増大し続けている IT 機器の高電力効率化を実現する

謝辞

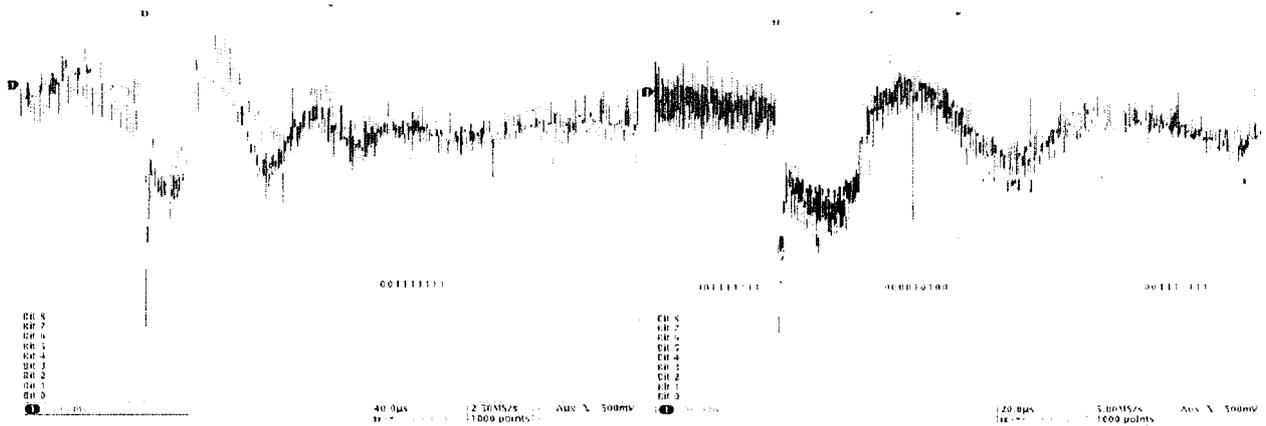
本研究の円滑な遂行にあたり、多大なるご支援を頂いた財団法人高柳記念電子科学技術振興財団に深謝の意を表します。

文献

- [1] 一瀬聡, 石塚洋一, 松尾博文: “高速応答 DPWM 方式 DC-DC コンバータ,” 信学技報, vol. 105, no. 538, EE2005-58, pp. 67-71, 2006年1月.
- [2] Yoichi Ishizuka 他 “A Low-Delay Digital PWM Control Circuit for DC-DC Converters”, 22nd Annual IEEE APEC, pp.579-584, 2007. 2
- [3] 西真理子, 朝子陽介, 石塚洋一, 松尾博文: “提案する DPWM 制御方式 POL の制御回路構成と諸特性,” 信学技報, vol. 107, no. 430, EE2007-46, pp. 13-18, 2008年1月.
- [4] Edward Lam, Robert Bell and Donald Ashley, “Revolutionary Advances in Distributed Power Systems,” in Proc. IEEE APEC '03, 1.5, 2003.
- [5] Angel V. Peterchev and Seth R. Sanders, “Quantization Resolution and Limit Cycling in Digitally Controlled PWM,” IEEE Trans. Power Electronics, Vol. 18, No. 1, pp.301-308, January 2003.
- [6] V. Peterchev, S. R. Sanders, “Quantization resolution and limit cycling in digitally controlled PWM converters”, IEEE Transactions on Power Electronics, Vol. 18, No. 1, January 2003, pp. 301 - 308.
- [7] B.J. Patella, A. Prodic, A. Zirger, D. Maksimovic, “High-frequency digital PWM controller IC for DC-DC converters”, IEEE Transactions on Power Electronics, Vol. 18, January 2003.
- [8] D. Maksimovic, R. Zane, R. Erickson, “Impact of Digital Control in Power Electronics”, IEEE International Symposium on Power Semiconductor Devices

- & ICs, Kitakyushu, Japan, May 2004, pp. 13-22.
- [9] Kaiwei Yao, "High-Frequency and High-Performance VRM Design for the Next Generation of Processors", Doctor thesis of Virginia Polytechnic Institute and State University, April 14, 2004.
- [10] S. Saggini, D. Trevisan, P. Mattavelli, "Hysteresis-Based Mixed-Signal Voltage-Mode Control for dc-dc Converters", IEEE Power Electronics Conference (PESC'07), Orlando, Florida, June 2007.

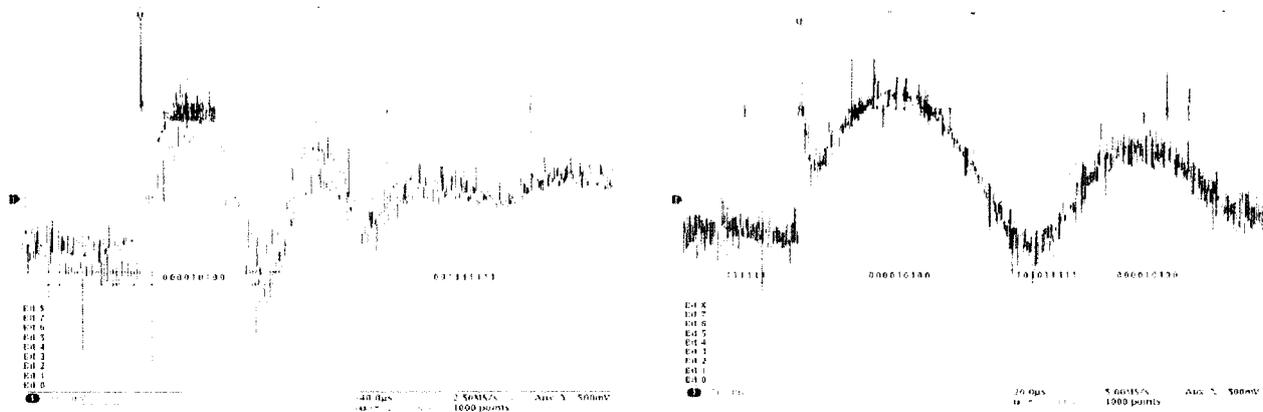
- [11] S. Saggini, E. Orietti, P. Mattavelli, A. Pizzutelli, A. Bianco, "Fully-Digital Hysteretic Voltage-Mode Control for dc-dc Converters based on Asynchronous Sampling", IEEE Applied Power Electronics Conference (APEC'08), Austin, Texas, February 2008.
- [12] Gene F. Franklin, J. David Powell, and Michael L. Workman, Digital Control of Dynamic Systems, Addison Wesley Longman Press, Menlo Park, CA, 1997.



(a) H:20µs/div.

(b) H:40µs/div.

図 9 動特性 (from 0.5A to 5A) 上から出力電圧[V], ゲート電圧[V], PWM 信号(8bit)



(a) H:20µs/div.

(b) H:40µs/div.

図 10 動特性 (from 5A to 0.5A) 上から出力電圧[V], ゲート電圧[V], PWM 信号(8bit)