

MOSFET の特性ばらつきを抑制する駆動方式の提案と低電圧動作回路への応用

寺内 衛

広島市立大学 情報科学部 情報工学科

広島市安佐南区大塚東 3-4-1 tel/FAX 082-830-1697 e-mail: terauchi@ieee.org

http://www.fdev.ce.hiroshima-cu.ac.jp/~terauchi/

1. はじめに

SOI デバイスの bulk 素子に対する種々の優位性の中で最も特徴的なものが、DTMOS[1]に代表される“低電圧動作可能性”(voltage scalability)である。CMOS インバータの伝播遅延比較[2,5]に関しては、負荷容量が大きい($C_L=1\text{pF}$)場合には、DTMOS によって構成された CMOS インバータは bulk 素子で構成された CMOS インバータに比べ、 $V_{DD}=0.5\text{V}$ の場合に2桁程度の優位性がある。また、 $V_{DD}>0.6\text{V}$ という、リーク電流の観点から DTMOS には不向きとされる電圧範囲に関しては、デバイスそれ自体を流れるドレイン電流に起因するインパクトイオン化によって発生した多数キャリアを基板電位変調目的で積極的に活用して電流駆動力増大を図る‘Self-Body-Biased’(‘SBB’) SOI MOSFET[2-5]が提案されている。

DTMOS は、筆者による解析[6]より明らかになったように、bulk 素子と比較して閾値電圧ばらつきが小さいという低電圧動作に極めて適した特徴がある。これは、ゲート電極下の空乏層幅が BODY 部分に印加される正のバイアス電圧によって狭くなり、閾値電圧決定に係る不純物原子数のゆらぎによる影響が少なくなるためである。

DTMOS 及び‘SBB’ SOI MOSFET は、共に bulk 基板を用いても実現することが可能であるが、主として素子毎の基板部分離の容易性から SOI 基板を用いて実現することがより現実的である。すなわち、SOI 基板を用いて作成された MOSFET は、本来的な“四端子性”が bulk MOSFET に比べてより顕著に現われており、DTMOS 及び‘SBB’ SOI MOSFET はその“四端子性”をより積極的に活用しているデバイスである、と考えることができる。

本報告においては、SOI MOSFET の有するこの“四端子性”をさらに利用して、単体 SOI MOSFET に“受動素子である抵抗”を作り込んだ H-gate ‘SBB’ SOI MOSFET から構成される 0.5V 動作 4Tr SRAM cell[7,9,10]、及び、SOI 基板に浅い pn 接合を形成することで自動的に構成される横方向 J-FET を活用した 0.5V 動作 DRAM gain cell[8-10]を紹介し、その動作特性のデバイスシミュレーションによる解析結果を示す。また、DTMOS における閾値電圧ばらつきの小ささを、CMOS Active Pixel Sensor (CMOS APS)という撮像素子に適用し

た場合の利点について、実測結果を中心に述べる [11,12]。

2. ‘SBB’ SOI MOSFET 構造に基づく 0.5V 動作 4Tr SRAM

図1に、‘SBB’ SOI MOSFET 構造を用いた‘H型’ゲート電極を有する H-gate ‘SBB’ SOI MOSFET の平面図及びその等価回路を示す。H-gate ‘SBB’ SOI MOSFET は、明示的な“四端子”構造を有する‘SBB’ SOI MOSFET[2-5]における‘T型’ゲート電極を‘H型’ゲート電極で置換したものであり、等価回路図に示されているように、複合的な“五端子”素子として機能する。BODY1 端子は従来の‘SBB’ SOI MOSFET と同様、ゲート電圧印加時に‘low Na’領域でゲート下に延在する空乏層によって MOSFET の BODY 部から‘空乏分離’(depletion-isolation)[13]される BODY 端子、BODY2 端子は通常の body-tied SOI MOSFET におけるのと同様の BODY 端子である。H-gate ‘SBB’ SOI MOSFET では、‘low Na’領域での‘空乏分離’現象を、BODY1 端子と BODY2 端子との間のコンダクタンスを変調する目的で利用する。すなわち、‘low Na’領域の基板不純物濃度及び‘low Na’領域上の補助ゲート電極形状(Lb 及び Wb)を変化させることによって、BODY1 端子と BODY2 端子との間の抵抗値を所望の値に制御できることになる。

図2は、上記予想を2次元デバイスシミュレータ (VENUS-2D/B; 富士総合研究所)を用いて確認した結果を示している。従来の‘SBB’ SOI MOSFET と同じく、H-gate ‘SBB’ SOI MOSFET は本質的に3次元構造を利用しているため、その動作原理を維持したまま挿入図に示されたような2次元構造に変形してシミュレーションを行なった。この際、ソース及びドレイン拡散層は、そこに印加される電圧によって形成される空乏層が SOI-BOX 界面にまで到達せず、BODY 部の電位が BODY1 及び BODY2 端子から制御されることを保証するように薄く形成した。この図から明らかなように、BODY1 端子と BODY2 端子との間の抵抗値は、ゲート電圧が 0~1.5V の範囲では、主として‘low Na’領域の不純物濃度によって決定される。

図3に示された $\log I_{DS}-V_G$ 特性及び図4の I_D-V_D 特性より、H-gate ‘SBB’ SOI MOSFET においては、 $(V_{BODY1}, V_{BODY2})=(0.5\text{ V}, 0.5\text{ V})$ の場合と $(V_{BODY1}, V_{BODY2})=(0\text{ V}, 0.5\text{ V})$ の場合との間に特性上の違いが無いことがわかる。すなわち、これらの図に示された電圧範囲では、MOSFET 本体の特性に対する、BODY2 端子から BODY1 端子へ電流が流れることによる影響は見られていない。よって、BODY1 端子と BODY2 端子との間は、MOSFET 本体とは独立した抵抗として利用することができることになる。 $(V_{BODY1}, V_{BODY2})=(0.5\text{ V}, 0\text{ V})$ の場合に見られる異なった特性は、従来の ‘SBB’ SOI MOSFET において見られた ‘空乏分離’ 現象に起因するものである。なぜなら、BODY 部の電位は、‘low Na’ 領域において延在する空乏層によって BODY1 端子が切り離されてしまうために、BODY2 端子に印加された電圧によって決定されるからである。

図5は、H-gate ‘SBB’ SOI MOSFET を用いた 4T1r SRAM の回路図例を示しており、図6は、そのうちのインバータ部の伝達特性をデバイスシミュレータ (Medici ; Avant! Corp.) による mixed-mode simulation によって求めたものである。図示されているように、0.5V という低電圧においても、H-gate ‘SBB’ SOI MOSFET を用いた SRAM cell が安定した動作を実現できることがわかる (不純物濃度などのさらなる最適化は必要であろう)。

3. 明示的な外部蓄積容量を有さない 0.5V 動作 DRAM gain cell

2001 年の IEEE International SOI Conference 以降、2つのグループから SOI 構造を用いた高密度 DRAM 用 gain cell の提案がなされた [14,15]。これらは、それ以前の提案 [16,17] と同様、基本的に cross point 型のセル配置を実現して 1セル当たりの占有面積をできる限り減らすことを目的としている。[16] の提案を除き、これらの SOI gain cell は、BODY 部における多数キャリアの蓄積を利用して情報の記憶を行なうものであり、必然的にインパクトイオン化を起こすような高電圧及び複雑な (双極性の) 電圧方式を必要とする (チャージポンピングによってキャリアを注入する方式も提案されている)。バッテリー駆動の携帯型電子機器へ搭載されるべきメモリを考えた場合、上記高電圧の必要性 (従って、高電力消費) は極めて問題であり、より低電圧で動作可能な、かつ、外部蓄積容量を必要とせずに通常の CMOS デバイスプロセスのみによって形成される DRAM cell が必要とされている。

以下、0.5V でも動作し、特別な外部蓄積容量を

必要としない SOI DRAM gain cell について述べる [8-10]。これは、専用高密度メモリの実現のために 1セル当たりの占有面積を小さくすることではなく、(システム LSI の一部として混載されるために) より低電圧での動作を指向したものであり、占有面積それ自体は [14-17] の提案の場合よりも大きくなっている。

図7は、0.5V 動作 SOI DRAM gain cell の断面図及び等価回路図を示している。この SOI DRAM gain cell は、SOI-BOX 界面にまで到達しない厚みを有するソース及びドレイン拡散層を持つ SOI MOSFET (書き込み MOSFET) と、そのソース拡散層をゲート拡散層とする横方向 J-FET (読み出し J-FET) とから構成されている。信号電荷は、書き込み MOSFET のソース拡散層 (SN) と SOI body との間に形成される pn 接合容量に蓄積され、SN の電位によって読み出し J-FET のソースドレイン間 (RWL-RBL 間) コンダクタンスが決定される。よって、読み出し J-FET のソースドレイン間 (RWL-RBL 間) に読み出し電圧を印加して流れる電流を測定することにより、SN に書き込まれた情報を判別することが可能になる。表1は、この SOI DRAM gain cell の各動作の際に各々の端子に印加される電圧を示している。0V / 0.5V / 1V 以外の電圧 (特に負電圧) を必要としないことに留意されたい。書き込み MOSFET は、図8に示された特性を有する通常の MOSFET である (シミュレーションにおいては前出の Medici を使用した; 以下同様)。

この SOI DRAM gain cell の実現の際に最も重要なのが、書き込み MOSFET の拡散層深さ x_j である。図9から明らかなように、 x_j が変化すると読み出し電流 (RWL-RBL 間電流) が指数関数的に変化する。より高速な読み出し動作を実現するためには読み出し電流を大きくする目的で x_j を大きくしなければならないが、SN 電位による読み出し電流の変化が小さくなってしまふ。逆に、 x_j をあまり大きくしすぎると読み出し電流が小さくなり過ぎ、読み出し動作が遅くなる。この先のシミュレーションにおいては、 x_j を $0.07\mu\text{m}$ に固定した。また、以下の mixed-mode simulation においては、浮遊ノードを回避するために、 $1 \times 10^{30}\ \Omega$ という実質的に無限大の大きさを有する抵抗を SN と接地電位との間に接続している。

図10は、SOI DRAM gain cell の書き込み動作を示している。“0”書き / “1”書きのいずれの場合においても、書き込み MOSFET のゲート (WWL) に書き込みパルスを印加すると、WWL-SN 間の容量結合によって SN 電位がまず上昇し、その後、WBL 電位に従って 0V あるいは $V_{WWL}-V_{TH}^{MOSFET}$

のいずれかに固定される。書き込みパルスが終了すると、再度容量結合によってSN電位が引き下げられるが、この際に二つの明確に異なった電位が実現される。その後、図11に示されているように、RWLに読み出し電圧(0.5V)を印加すると、SN電位は再び容量結合によって上昇するが、上記二つの明確に異なった電位にそれぞれ応じた電位になり、その際、明らかに異なった二つの読み出し電流が実現される。このシミュレーションにおいては、“0”読み出しの場合は“1”読み出しの場合と比較して、およそ5倍の読み出し電流が実現されており、その値も十分に大きい($\mu\text{A}/\mu\text{m}$ のオーダー)。図12に示したデータ保持特性例より、(過去のリフレッシュ時間トレンドに従うとすれば)このSOI DRAM gain cellを用いて数メガビットの組込型DRAMを実現することが可能であることがわかる。データ保持特性のさらなる改善のためには、 $V_{\text{TH}}^{\text{MOSFET}}$ 設定及び各端子に印加されるそれぞれの電圧を微調整することが必要だと考えられる。

4. MOSFETの特性ばらつきに起因する固定パターン雑音の低減を目的とした、DTMOS動作に基づくCMOS Active Pixel Sensor Cell

CMOS active pixel sensor (APS)は、その低消費電力特性ゆえに、バッテリー駆動ポータブル機器の撮像素子として利用されている[18]。CMOS APSのcharge-coupled devices (CCD)と比較した際の問題点の一つは、APS cellを構成する素子の特性ばらつき—例えば、閾値電圧ばらつきやドレインコ

ンダクタンスばらつきなど—に起因する固定パターン雑音(FPN)である[18,19]。

DTMOSはbulk素子と比較して閾値電圧ばらつきが動作原理的に小さい[6]ため、DTMOSをAPS cellに適用するというアイデアを提案し、FPN低減効果を実測によって確認した[11,12]。図13に提案したAPS cellの回路図、図14にSOI基板を用いて作成する場合のその断面図及び平面図、表2に提案した動作電圧構成を示す。SOI基板を用いた実際のAPS cellの試作は筆者の所属する環境においては行なえないため、東京大学大規模集積システム設計教育研究センター(VDEC)を窓口にした、bulk基板を用いた素子試作によって提案した回路の原理的な動作確認を行なった。試作したのは、0.6 μm 1poly 2Alプロセスによる0.6 μm PMOSFETよりなるテスト回路であり、それぞれのPMOSFETは個別のN well内に配置され、各N wellはゲート電極と接続されている。実測した素子単体の各動作モードにおける特性は、図15に示されている。

図16及び図17より明らかなように、DTMOS動作させた場合の読み出し回路部(図13のM2及びM3に相当)の特性ばらつきは、bulk動作の場合に比べて半分程度に低減されている。このことは、DTMOS動作によって、閾値電圧ばらつき[6]のみならずドレインコンダクタンスのばらつきも抑制されていることを示している。図18に示された特性からも、FPN低減という目的でCMOS APS cellにDTMOSを適用することの利点—より低電圧動作が可能で、低FPNが実現可能—が理解される。

謝辞

本報告に記載した各種研究の実施に関しては、財団法人高柳記念電子科学技術振興財団から2001年度研究助成を受けております。ここに深く謝意を表します。

参考文献

- [1] F. Assaderaghi, D. Sinitsky, S. Parke, J. Bokor, P. K. Ko, and C. Hu, Tech. Digest of IEDM'94, p.809.
- [2] S. Funakoshi, M. Terauchi, and K. Terada, Proc. 2000 IEEE International SOI Conference, p.52.
- [3] M. Terauchi and K. Terada, Proc. 1999 IEEE International SOI Conference, p.36.
- [4] M. Terauchi and S. Funakoshi, Extended Abstract of SSDM2002, p.596.
- [5] M. Terauchi and S. Funakoshi, Jpn. J. Appl. Phys., vol.42, p.2014, 2003.
- [6] M. Terauchi, Proc. 2001 IEEE International SOI Conference, p.53.
- [7] M. Terauchi, Proc. 2000 IEEE International SOI Conference, p.108.
- [8] M. Terauchi, Proc 2002 IEEE International SOI Conference, p.86.
- [9] M. Terauchi, Extended Abstract of SSDM2003, p.620.
- [10] M. Terauchi, Jpn. J. Appl. Phys., vol.43, 2160, 2004.
- [11] M. Terauchi, Proc. of 2003 IEEE International SOI Conference, p.57.
- [12] M. Terauchi, A. Hamasaki, and A. Suketa, Extended Abstract of SSDM2004, p.504.
- [13] M. Terauchi, N. Shigyo, A. Nitayama, and F. Horiguchi, IEEE Trans. Electron Devices, vol.44, p.2303, 1997.
- [14] S. Okhonin, M. Nagoga, J. M. Sallese, P. Fazan, Proc. of 2001 IEEE International SOI Conference, p.153.
- [15] T. Osawa, K. Fujita, T. Higashi, Y. Iwata, T. Kajiyama, Y. Asao, and K. Sunouchi, Tech. Digest of ISSCC 2002, p.152.
- [16] M. Terauchi, A. Nitayama, F. Horiguchi, and F. Masuoka, Tech. Digest of Symp. VLSI Technology 1993, p.21.
- [17] H.-J. Wann and Ch. Hu, Tech. Digest of IEDM 1993, p.635.
- [18] E. R. Fossum, Trans. Electron. Devices, vol.44, p.1689, 1997.
- [19] R. H. Nixon, S. E. Kemeny, B. Pain, C. O. Staller, E. R. Fossum, J. Solid-State Circuits, vol.31, p.2046, 1996.

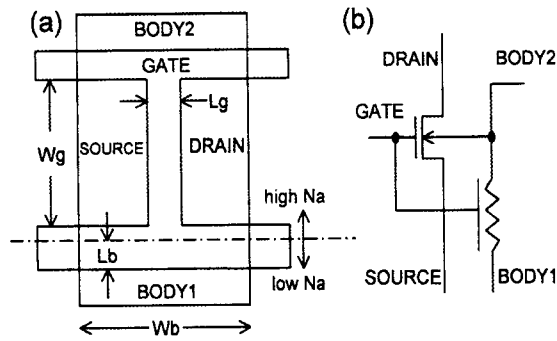


図1 H-gate 'SBB' SOI MOSFET の(a)平面図及び(b)等価回路図。

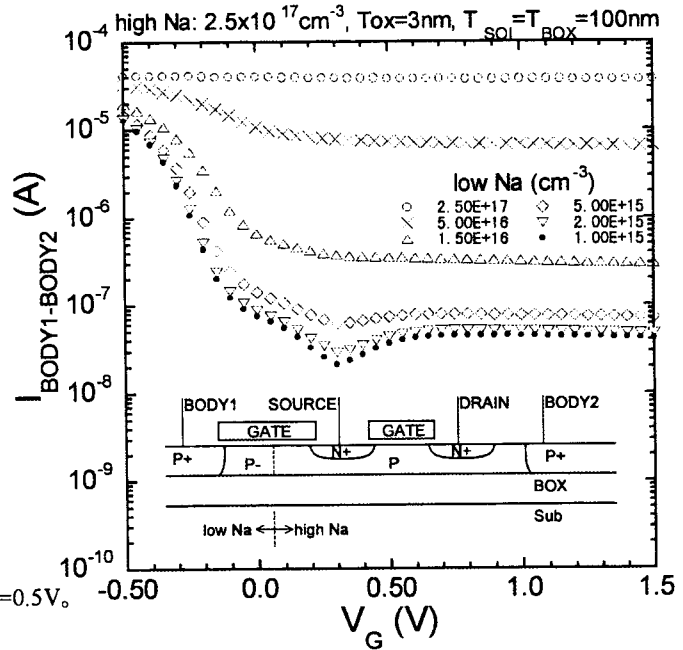


図2 'low Na'濃度を変化させた場合の V_G - $\log I_{\text{BODY1-BODY2}}$ 特性。 $V_{\text{BODY1-BODY2}}=0.5\text{V}$ 。

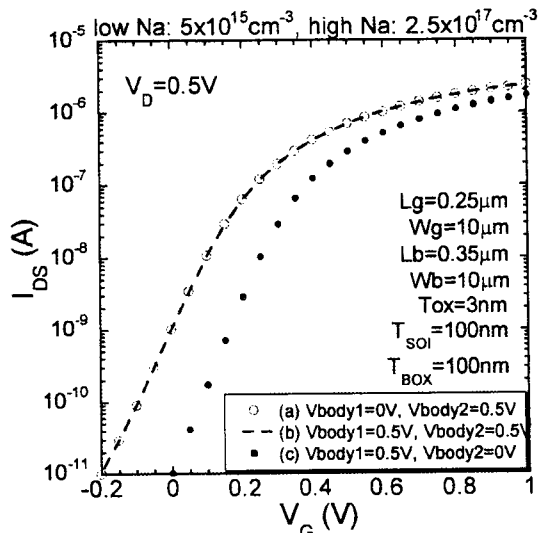


図3 (V_{BODY1} , V_{BODY2})の組み合わせを変えた場合の V_G - $\log I_{\text{DS}}$ 特性。

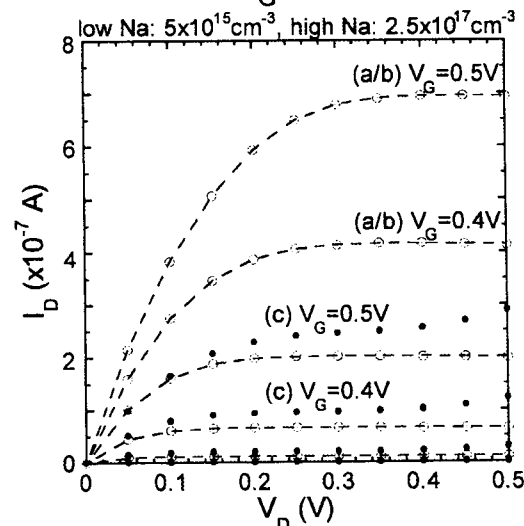


図4 (V_{BODY1} , V_{BODY2})の組み合わせを変えた場合の V_{DS} - I_{DS} 特性。(a),(b),(c)は図3の条件に対応する。

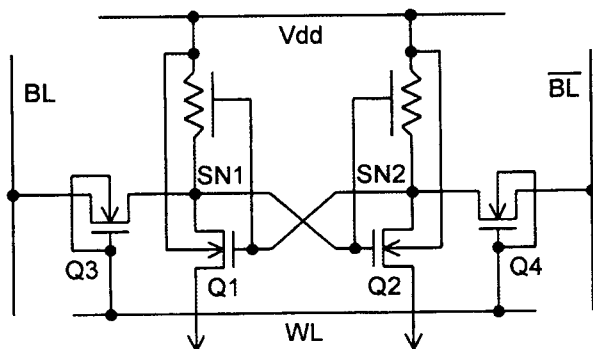


図5 H-gate 'SBB' SOI MOSFET を用いた 4Tr SRAMの構成例。

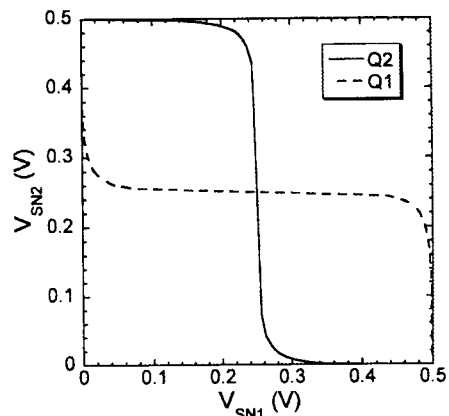


図6 H-gate 'SBB' SOI MOSFET を用いたインバータの伝達特性。

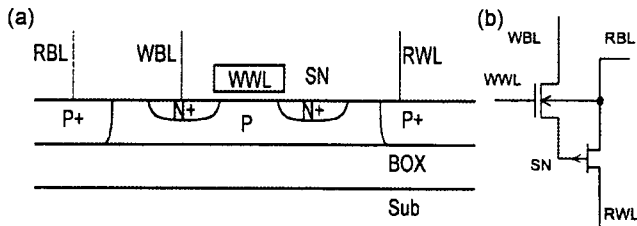


図7 SOI DRAM gain cell の(a)断面図及び (b)等価回路図。

表1 SOI DRAM gain cell 動作に必要な電圧条件

	"1" write	"0" write	hold	read
WWL	1 V	1 V	0 V	0 V
WBL	0.5 V	0 V	high Z	high Z
RWL	0 V	0 V	0 V	0.5 V
RBL	0 V	0 V	0 V	0 V

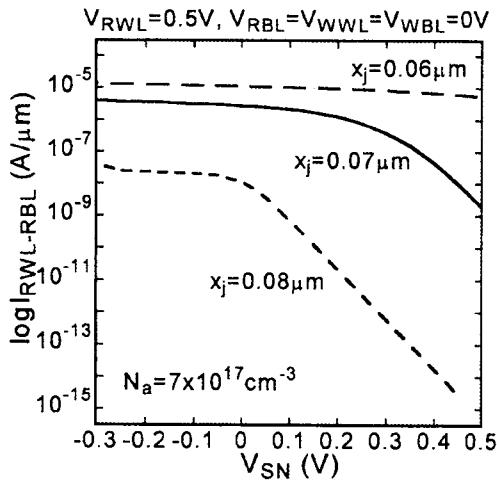


図9 読み出し J-FET 部分の V_G - $\log I_{DS}$ (V_{SN} - $\log I_{RWL-RBL}$) 特性の接合深さ(x_j)依存性。

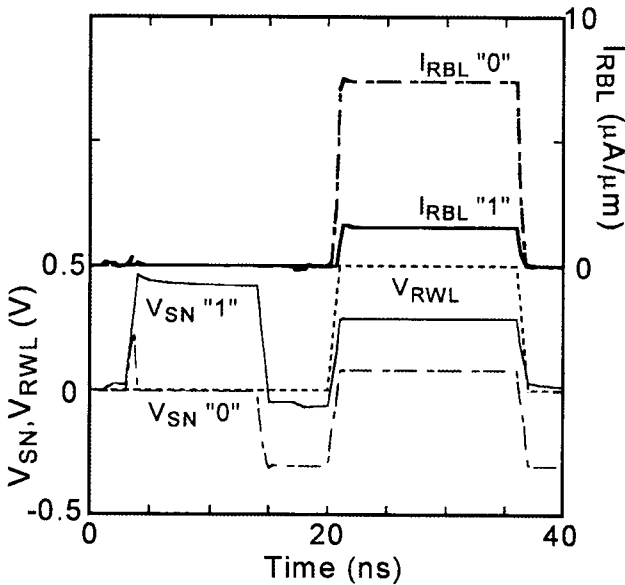


図11 SOI DRAM gain cell の読み出し波形。

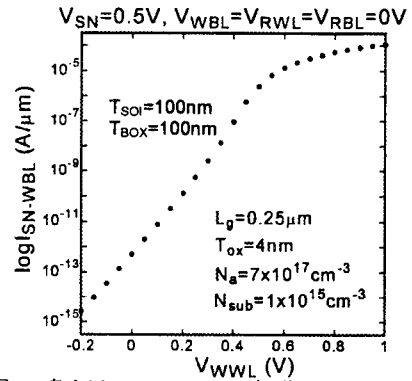


図8 書き込み MOSFET 部分の V_G - $\log I_{DS}$ (V_{WWL} - $\log I_{SN-WBL}$) 特性。

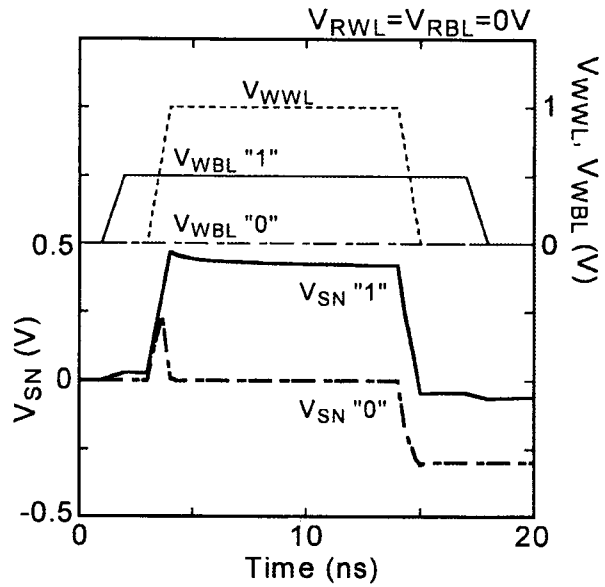


図10 データ書き込み時の V_{SN} の時間変化。

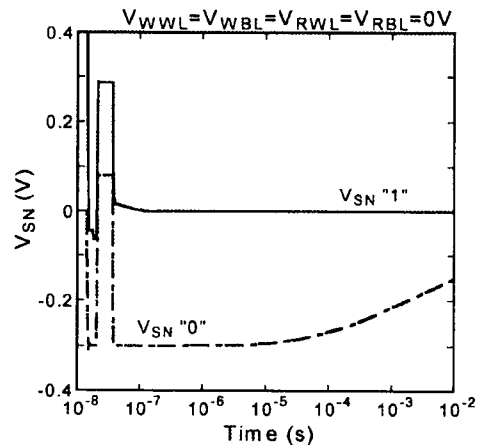


図12 SOI DRAM gain cell の retention 特性例。

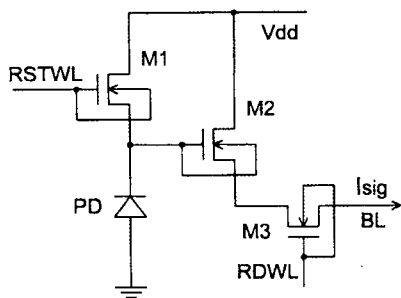


図13 提案する APS cell の回路図。

表2 提案する電圧構成

	RSTWL	RDWL	BL
precharge	Vdd	Vdd	Vdd
photoconversion	0 V	0 V	0 V
readout	0 V	0.6 V	low

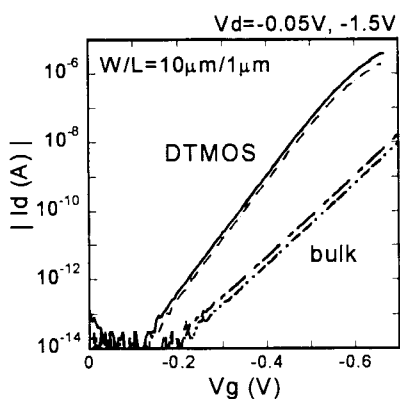


図15 測定したデバイスの特性。

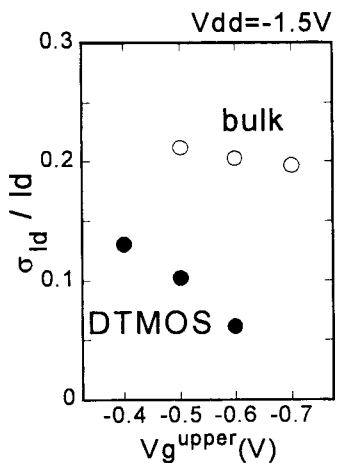


図17 図16に示した12デバイス対に関する σ_{Id} / Id の測定結果。

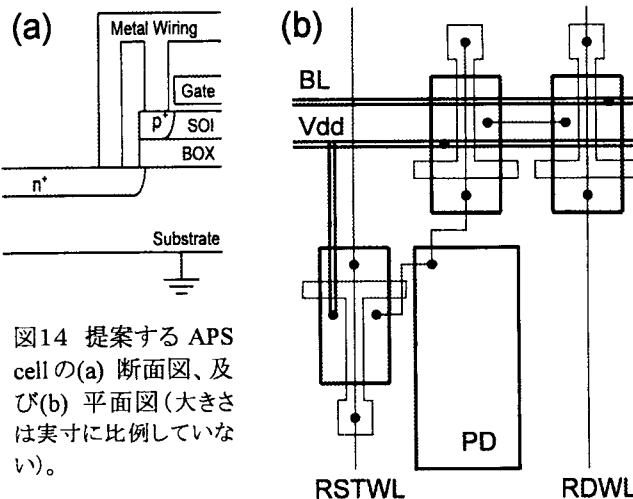


図14 提案する APS cell の(a) 断面図、及び(b) 平面図(大きさは実寸に比例していない)。

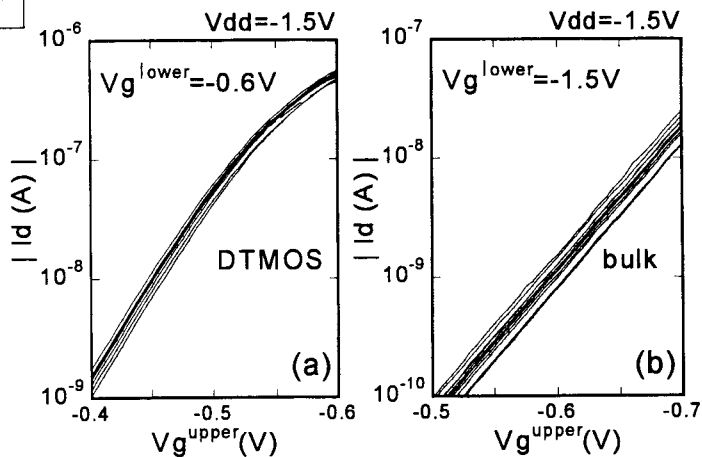


図16 直列接続された2つのデバイスに関して測定された $Id-Vg_{upper}$ 特性。12デバイス対に対するデータが重ね書きされている。

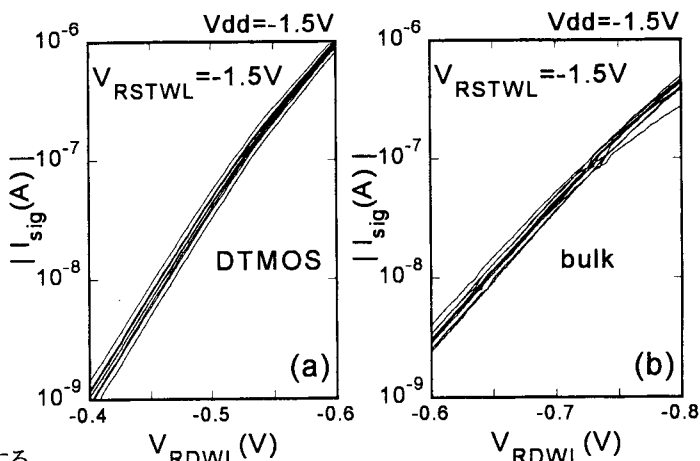


図18 12個の APS cell に関する $I_{sig}-V_{RDWL}$ 特性の測定結果。