

金属／絶縁体ヘテロ構造を用いた高速・多機能電子デバイスの基礎研究

東京工業大学 大学院総合理工学研究科 教授

浅田雅洋

1. はじめに

集積回路の高密度化・高速化のため、デバイスを極微細化する研究が盛んに行われている。また、一方では極微細量子効果デバイスに生じる微分負性抵抗などの特性を利用して、複雑な回路を単純化して高速化・高密度化をはかる研究も行われている。我々は、これら2つの方法を同時に取り入れる方法として、シリコン(Si)基板上で格子整合する金属／絶縁体ヘテロ接合を用いた量子効果デバイスを提案してきた。

金属は半導体に比べ高キャリア濃度であり、また絶縁体は半導体に比べ一般に誘電率が低いため、デバイスおよび回路の極微小化に有利である。さらに、金属／絶縁体ヘテロ界面の非常に大きなバンド不連続($\sim 10\text{eV}$)のために、極薄膜多層構造を形成した場合、電子波の大きな反射・共鳴により、顕著な量子効果を示すことが期待される。この特性を利用することにより、微分負性抵抗などによる多機能動作を行う量子効果デバイスを、Si基板上で通常のMOSFETと集積することにより、機能的な高密度・高速の集積回路が可能となる。

量子効果素子をSi基板上に実現するためには、Si基板上にヘテロエピタキシャル成長可能でしかも伝導帯バンド不連続(ΔE_c)がある程度大きな材料構成を選択することが必要である[1, 2]。この条件を満たす材料系として $\text{CoSi}_2\text{-CaF}_2$ (金属-絶縁体) および $\text{CaF}_2\text{-CdF}_2$ (絶縁体-絶縁体) Si-CaF_2 (半導体-絶縁体)

があげられる[3-11]。これらは接合界面の伝導帯バンド不連続がそれぞれ 16eV , 2.9eV , 2.3eV と非常に大きいため、室温においても極めて顕著な微分負性抵抗を示す共鳴トンネルデバイスの実現が期待される。我々はこれまでに $\text{CoSi}_2\text{-CaF}_2$ および $\text{CaF}_2\text{-CdF}_2$ の共鳴トンネル構造の結晶成長を行い、微分負性抵抗特性を報告してきたが、これらの構造では、エネルギー障壁となる CaF_2 の層厚が 1nm 程度と薄いため、ピンホール等の欠陥によるリーク電流の影響を受けやすいことが欠点となっていた。

本研究では、リーク電流抑制のため、 CaF_2 薄膜のピンホール密度を低減させるための結晶成長技術の改善を行い、 Si-CaF_2 及び $\text{CdF}_2\text{-CaF}_2$ 二重障壁共鳴トンネルダイオード(DBRTD)を用いた微分負性抵抗特性の評価を行ったところ、特に $\text{CaF}_2\text{-CdF}_2$ RTDにおいて、半導体材料ではおよそ不可能な、室温で 10^5 を超えるピーク-バレー比を得た。ここでは、 Si-CaF_2 及び $\text{CaF}_2\text{-CdF}_2$ 結晶成長と、各々の材料で構成した共鳴トンネルダイオードの微分負性抵抗特性について報告する。

2. 材料構成

本研究で用いた材料のバンドプロファイルを図1に示す。エネルギー障壁として用いる CaF_2 は立方晶蛍石構造でSiとの格子定数差は室温で $+0.6\%$ であり、Si基板上にエピタキシャル成長が可能である。また、 12eV の禁

制帯幅をもつため、高耐圧を要求される共鳴トンネルデバイスのエネルギー障壁材料として有利であると考えられる。CdF₂は禁制帯幅8eVの弗化物系絶縁体であり、室温におけるCaF₂との格子不整合は-0.8%で、CaF₂とヘテロ接合形成が可能である。ヘテロ接合界面における伝導帯バンド不連続(ΔE_c)は、Si-CaF₂間で約2.3eV, CdF₂-CaF₂間で約2.9eVである。

3. 素子構造

本研究で作製したSi-CaF₂, CaF₂-CdF₂二重障壁共鳴トンネルダイオードのバンドプロフィールをFig. 2(a), (b)に示す。どちらの構造においても電子はn+-Si(111)基板側から注入され、2つのCaF₂エネルギー障壁で挟まれたSiまたはCdF₂量子井戸中を共鳴トンネルすることにより、電流電圧特性には室温においても顕著な微分負性抵抗特性が期待される。エネルギー障壁が2.9eVと高いため、非共鳴時のOFF電流を小さく抑えることが可能で、極めて大きなピーク-バレー比(P/V比)が期待できる。例えば、Fig. 2(b)の構造では、超格子内部における電子散乱とリーク電流を考慮しない場合、10⁵を超えるP/V比が理論的に予想される。

4. 結晶成長

Si, CaF₂, CdF₂の結晶成長は、分子線エピタキシー(MBE)法とCaF₂のイオンビーム支援エピタキシーを組み合わせた方法を研究している。結晶成長装置の概略図をFig. 3に示す。各材料の分子線は固体ソースの加熱溶融/昇華により供給され、特にCaF₂に関しては、適時必要に応じてイオン化・加速を行っている。Si基板表面第1層に形成するCaF₂層については、Si-CaF₂界面の結合を促進してピンホール密度を低減するためCaF₂分子線を電子衝撃により数%イオン化して供給する。CaF₂の電子衝撃を行った場合と行わない場合の表面モフォ

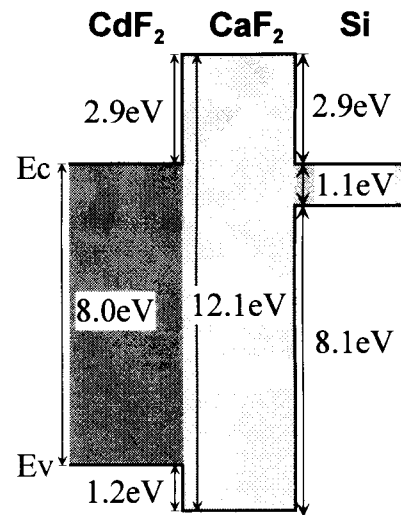
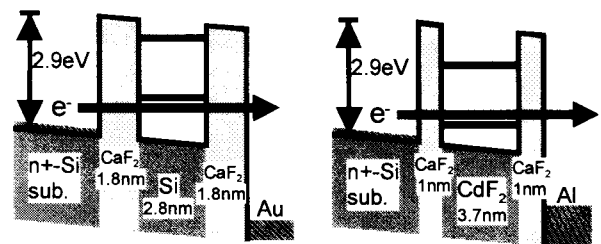


Fig.1 CdF₂-CaF₂-Si のバンドプロフィール



(a)CaF₂-Si-CaF₂ RTD構造 (b)CaF₂-CdF₂-CaF₂ RTD構造

Fig.2

ロジーの差異を原子間力顕微鏡(AFM)を用いて評価した結果をFig. 4(a), (b)に示す。

これらの図は、Si(111)基板(off角約0.1°)の基板上に3分子層のCaF₂を基板温度700°Cで蒸着した試料を、大気中AFMにて表面観察を行ったものである。イオン化を行わない場合に比べ、イオン化を行うとCaF₂薄膜のSi表面を被覆する割合が向上する結果が得られている。一方、最上層のCaF₂はCdF₂量子井戸上、あるいはSi上に形成されるが、この場合は成長基板温度が50-100°C程度とCaF₂の適正な結晶成長温度よりも低いため、マイグレーションエネルギーの支援と平坦性向上のためイオン化したCaF₂を500Vで加速して供給する。基板は抵抗率4mΩ・cmの低抵抗n+-Si(111) 0.1° off基板を用い、有機洗浄、RCA洗浄の後、超高真空装置へ搬入する。

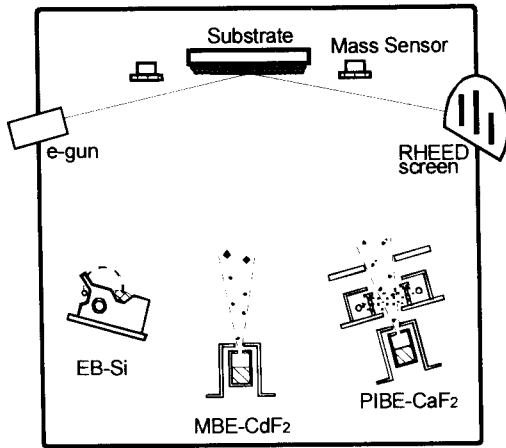


Fig.3 結晶成長装置概略図

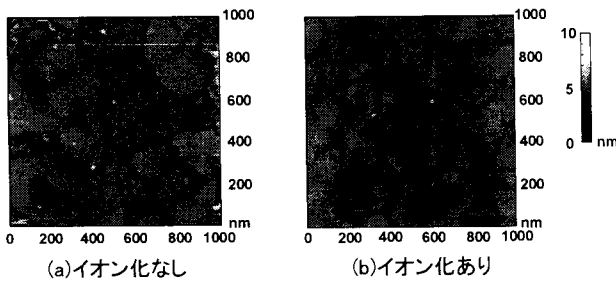


Fig.4 1nm 層厚 CaF₂/Si(111)表面 AFM 像

5. 実験結果と考察

5-1. CaF₂-Si 二重障壁共鳴トンネルダイオード

CaF₂上へのSi薄膜形成は、膜の平坦性を最優先して基板温度 50℃, 蒸着レート約 0.01nm/sec で堆積した。堆積後、N₂(5%H₂)雰囲気中で600℃, 10minのアニールを行う。アニール後の試料の断面透過電子顕微鏡(TEM)格子像をFig.5に示す[12]。各層のヘテロ接合界面が明瞭に観察され、Si基板に接する最下層のCaF₂は単結晶であることが確認できる。一方、低温で堆積したSi量子井戸及び最上層CaF₂バリアは非晶質である。本試料にAu電極(100μm×100μm)をマスク蒸着し、室温において測定した電流電圧特性をFig.6に示す((a)Si量子井戸層厚 W_{Si}=2.8nm, (b)W_{Si}=3.7nm, 500μsパルス電圧印加)。室温におい

ても明瞭な微分負性抵抗が観測され、井戸幅に依存して共鳴バイアス電圧が変化する。井戸幅 3.7nm の試料では、井戸幅の増加による共鳴準位の低下を反映した第2のピークが観察されている。共鳴ピーク電圧の井戸幅依存性を示したFig.7では、理論的に予想される共鳴バイアス電圧と良く一致している。

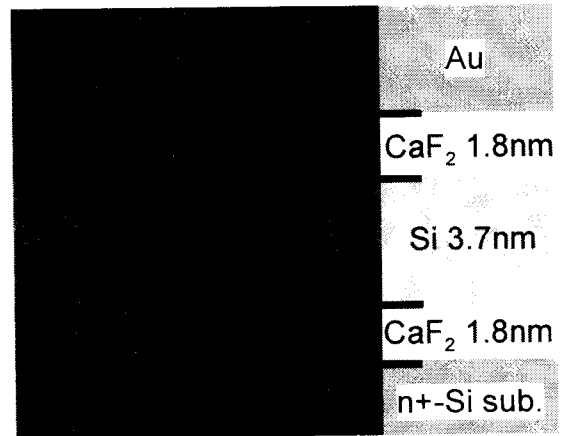


Fig.5 CaF₂-Si RTD の断面 TEM 格子像

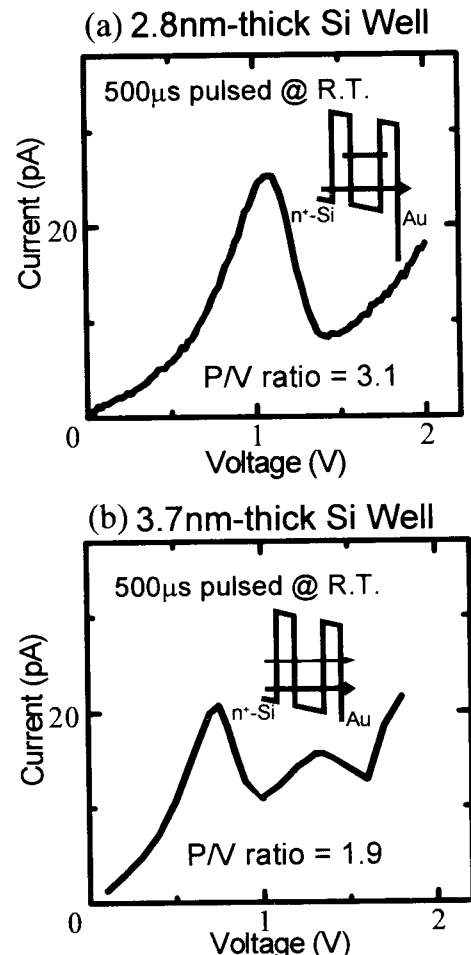


Fig.6 CaF₂-Si RTD の室温微分負性抵抗特性

本結果は TEM 観察上は非晶質に見える Si 薄膜中でも電子波の共鳴トンネル伝導が可能であることを示唆するものである。

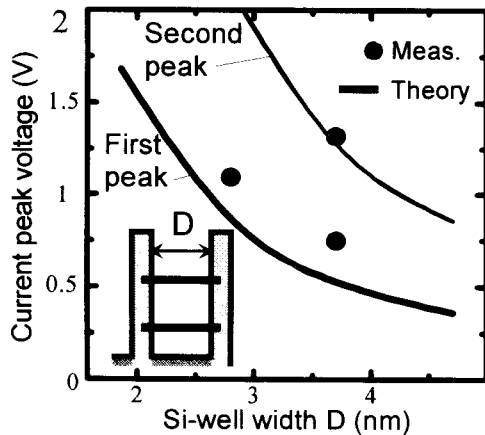


Fig.7 $\text{CaF}_2\text{-Si}$ RTD の室温微分負性抵抗特性

5-2. $\text{CdF}_2\text{-CaF}_2$ 二重障壁共鳴トンネルダイオード

$\text{CaF}_2\text{-CdF}_2\text{-CaF}_2\text{-Si}$ (111) 構造中の、 CdF_2 量子井戸層は基板温度 50°C 、堆積レート 0.01nm/sec の条件で MBE 法により堆積し、単結晶薄膜を得る。ピンホール密度の低い、良質な単結晶薄膜を得るには、F の解離により生成する Cd の再入射によるエピタキシャル成長阻害を避ける配慮が必要である。結晶成長後の試料を電子ビームリソグラフィーを用いた加工プロセス (Fig. 8) を用いて、メサ径 $18\mu\text{m}$ の測定用素子を作製した。

この素子の電流電圧特性の一例を Fig. 9 に示す。測定は室温、直流バイアスにて行った。この素子ではバイアス電圧 1V 付近で極めて顕著な微分負性抵抗が観測され、リーク電流が良く抑えられているため約 10^5 の高 P/V 比を得ている。Fig. 10 にこの素子の電流電圧特性を Esaki-Tsu の式を用いてシミュレーションした結果を示す。この計算は電子の散乱や膜厚の揺らぎ等を考慮していないが、 10^5 の P/V 比はその計算結果から得られる理論 P/V 比に迫るものである。電流ピークを与えるバイアス電圧 V_p が理論特性よりも高電圧側にシ

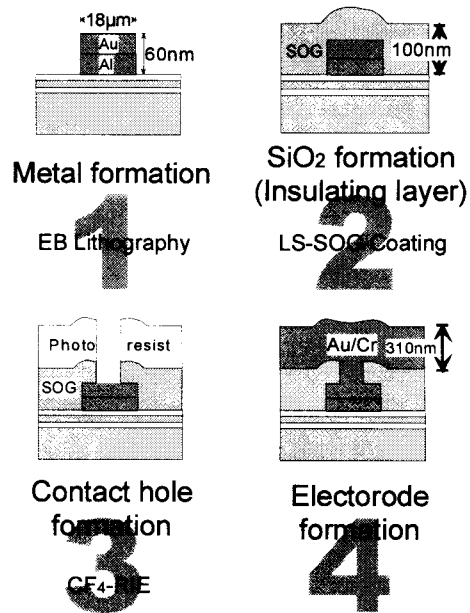


Fig.8 $\text{CdF}_2\text{-CaF}_2$ RTD の作製プロセス

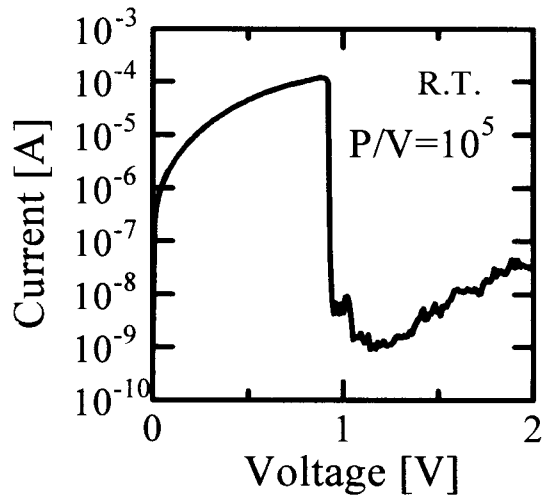


Fig.9 $\text{CdF}_2\text{-CaF}_2$ RTD の室温微分負性抵抗特性

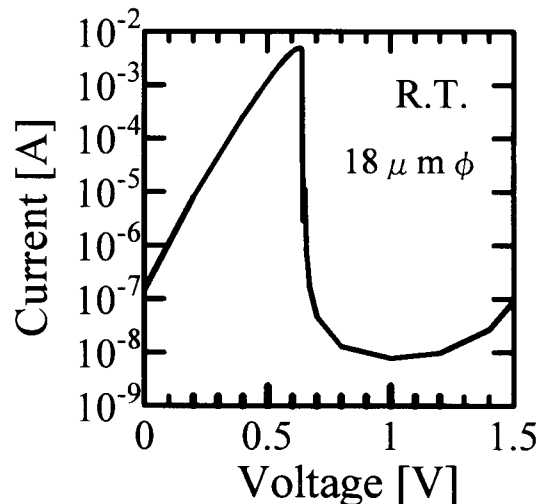


Fig.10 $\text{CdF}_2\text{-CaF}_2$ RTD の理論 I-V 特性

フトしているのは、RTD 以外の部分の電圧降下、例えば寄生直列抵抗等の影響と考えている。Fig. 11 に示すように、現状では 10^5 を超える P/V 比を示す素子の割合は、微分負性抵抗特性を示す素子中の数%程度であるが、これは CaF_2 薄膜に形成されるピンホール等の欠陥を減少させることによりリーク電流を制御すれば高 P/V 比 NDR 特性の均一化は可能と考えている。ここに得られた高 P/V 比特性は、Valley 電流がきわめて低く抑えられていることにより達成されたもので、これは、構成材料として単結晶絶縁体を用いていることが大きく寄与しているものと考えている。

6. 結論

Si 基板上にエピタキシャル成長可能な材料を用いたヘテロ接合として、 Si-CaF_2 および $\text{CdF}_2\text{-CaF}_2$ の2通りの組み合わせについて、MBE 法とイオンビームを組み合わせた手法を用い

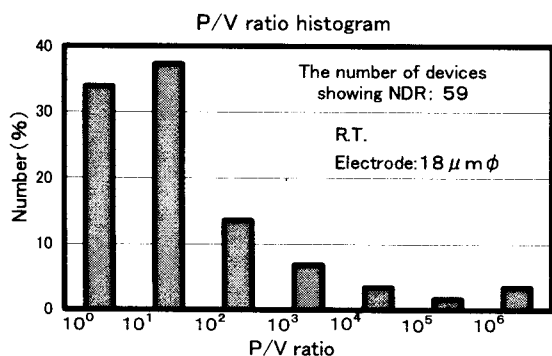


Fig.11 P/V 比ヒストグラム

て原子層レベルで急峻なヘテロ界面と電極面内で十分均一な二重障壁共鳴トンネルダイオード構造を作製し、微分負性抵抗特性の評価を行った。 Si-CaF_2 、 $\text{CdF}_2\text{-CaF}_2$ RTD 両者において室温における微分負性抵抗を観測し、特に $\text{CaF}_2\text{-CdF}_2$ RTD において、室温で 10^5 を超えるピーク-バレー比を得た。これは Si 基板上量子効果素子の可能性に新たな局面を開く結果であると考えている。

ここで得られた素子を Si 集積回路へ応用してゆくためには、P/V 比の高さのみならず、多数の素子間での電流電圧特性の均一化が重要な課題であり、現在 Si 基板表面の原子レベルの均一性制御と、その制御された表面上への超格子形成技術の精密化に取り組んでいる。また、これらの素子を通常 MOSFET と集積し、実際に多機能集積回路の動作を示すことも重要な課題であり、現在、これらの量子効果素子との集積に適した構造の MOSFET の作製や極短チャネル化、および集積構造形成プロセスの確立に取り組んでいる。

参考文献

- [1] W. Saitoh, K. Yamazaki., M. Asada and M. Watanabe: Jpn. J. Appl. Phys., **35** (1996) 1104.
- [2] Y. Aoki, J. Nishiyama, W. Saitoh, M. Watanabe and M. Asada: The 44th Spring Meeting of The Jpn. Soc. of Appl. Phys. and Related Societies, March, 30a-A3, 1997.
- [3] N. S. Sokolov, N. N. Faleev, S. V. Gastev, N. L. Yakovlev, A. Izumi and K. Tsutsui: J. Vac. Sci. Technol. A, **13** (1995) 2703.
- [4] A. Izumi, K. Tsutsui, N. S. Sokolov, N. N. Faleev, S. V. Gastev, S. V. Novikov, and N. L. Yakovlev: J. Cryst. Growth, **150** (1995) 1115.
- [5] M. Watanabe, W. Saitoh, Y. Aoki and J. Nishiyama: Solid State Electronics, **42** (1998) 1627.
- [6] N. S. Sokolov, S. V. Gastev, S. V. Novikov, N. L. Yakovlev, A. Izumi and S. Furukawa: Appl. Phys. Lett., **64** (1994) 2964.
- [7] R. T. Poole and D. R. William: Chem. Phys. Lett., **36** (1975) 401.
- [8] D. Shanarabny, M. Wolf and D. Gerlich: J. Phys. Chem. Solids, **37** (1976) 577.
- [9] M. Watanabe, T. Suemasu, S. Muratake and M. Asada: Appl. Phys. Lett., **62** (1993) 300.
- [10] A. Izumi, N. Matsubara, Y. Kushida, K. Tsutsui and N. S. Sokolov: Jpn. J. Appl. Phys., **36** (1997) 1849.
- [11] M. Watanabe, Y. Aoki, W. Saitoh and M. Tsuganezawa: Jpn. J. Appl. Phys., **38**, (1999) L116

- [12] M. Tsutsui, M. Watanabe, and M. Asada:
Jpn. J. Appl. Phys., **38** (1999) L920

本研究に関する発表論文

- [1] M. Watanabe, Y. Iketani, and M. Asada, "Epitaxial growth and electrical characteristics of $\text{CaF}_2/\text{Si}/\text{CaF}_2$ resonant tunneling diode structures grown on $\text{Si}(111) 1^\circ$ off substrate," Japan. J. Appl. Phys., vol.39, no.10A, pp. L964-L967 (2000).
- [2] A. Itoh, M. Saitoh, and M. Asada, "A 25-nm-long channel metal-gate p-type Schottky source/drain MOSFET on SOI substrate," Japan. J. Appl. Phys., vol.39, no.8, pp.4757-4758 (2000).
- [3] W. Saitoh, A. Itoh, S. Yamagami, and M. Asada, "Analysis of short-channel Schottky source/drain MOSFET on SOI substrate and demonstration of sub-50nm n-type devices with metal gate," Japan.J.Appl.Phys., vol.38, no.11, pp.6226-6231 (1999).
- [4] M. Tsutsui, M. Watanabe, and M. Asada, "Resonant tunneling diodes in Si/CaF_2 heterostructures grown by molecular beam epitaxy," Japan. J. Appl. Phys., vol.38, no.8B, pp.L920-L922 (1999)
- [5] W. Saitoh, S. Yamagami, A. Itoh, and M. Asada, "35nm metal gate p-type metal oxide semiconductor field-effect transistor with PtSi Schottky source/drain on separation by implanted oxygen substrate," Japan. J. Appl. Phys., vol.38, no.6A, pp.L629-L631 (1999).
- [6] N. Kikegawa, B. Zhang, Y. Ikeda, N. Sakai, K. Furuya, M. Asada, M. Watanabe, and W. Saitoh, "Detection Time Shortening for Observation of Hot Electron Spatial Distribution by Scanning Hot Electron Microscope," Japan. J. Appl. Phys. vol.38, no.4A, pp.2108-2113 (1999).
- [7] M. Asada, K. Osada, and W. Saitoh, "Theoretical analysis and fabrication of small area metal/insulator resonant tunneling diode integrated with patch antenna for terahertz photon assisted tunneling," Solid State Electron., vol.42, pp.1543-1546 (1998).
- [8] M. Tsutsui, W. Saitoh, K. Yamazaki, and M. Asada, "Proposal and analysis of coupled channel tunneling FET with new heterostructures on silicon," Solid State Electron, vol.42, pp.1547-1551 (1998).
- [9] Y. Miyamoto, A. Yamaguchi, K. Oshima, W. Saitoh, and M. Asada, "MIS emitter with epitaxial CaF_2 layer as insulator," J. Vac. Sci. Technol. vol.B16, pp.851-854 (1998).
- [10] W. Saitoh, K. Yamazaki, M. Tsutsui, A. Itoh, and M. Asada, "Fabrication and characteristics of a field effect transistor using $\text{CdF}_2/\text{CaF}_2$ heterostructures on Si substrate," Japan. J. Appl. Phys., vol.37, pp.L1138-L1140 (1998).
- [11] W. Saitoh, K. Yamazaki, M. Tsutsui, and M. Asada, "Analysis of structure dependence of very short channel field effect transistor using vertical tunneling with hetero- structures on silicon," IEICE Trans. Electron., vol.E81-C, pp.1918-1925 (1998).
- [12] W. Saitoh, K. Yamazaki, M. Tsutsui, and M. Asada, "Analysis of the influence of carrier scattering in the channel of a metal/insulator tunneling field effect transistor," Japan. J. Appl. Phys., vol.37, pp.5921-5925 (1998).
- [13] W. Saitoh, K. Mori, H. Sugiura, T. Maruyama, M. Watanabe, and M. Asada, "Reduction of electrical resistance of nanometer-thick CoSi_2 film on CaF_2 by pseudomorphic growth of CaF_2 on $\text{Si}(111)$," Japan. J. Appl. Phys., vol.36, pp.4470-4471 (1997).