

# 放射電磁雑音低減のための高速デジタル回路の 高周波モデル化と EMC 実装設計法

和田 修己 岡山大学工学部  
wada@cne.okayama-u.ac.jp

## RF Modeling of High-Speed Digital Circuits and EMC Design for Reduction of Radiated Electromagnetic Noise

Osami Wada  
Faculty of Engineering, Okayama University

**Abstract:** Modeling and simulation of digital printed circuit boards are required to realize interactive design of EMC compliant equipment. In this paper, some recent results on EMC design of printed circuit boards are reported. A multi-layer printed circuit board is analytically modeled as a planar cavity and the resonance characteristics are simulated with an RF power current model of a digital IC. The RF power current model that has been proposed by the author's research group is composed of linear equivalent circuits and internal current source to simulate unintentional RF noise and radiated emission from a printed circuit board. Finally EMI simulation with the modeling is demonstrated.

### 1. はじめに

従来、デジタル回路の設計は論理回路設計の延長として行われてきたが、近年のクロック周波数の高速化に伴い、もはやその高周波回路としての振舞いを無視することはできなくなった。すなわち、デジタル論理としての 0/1 のみでなく信号の伝搬遅延はもとより、立ち上がり時間や信号波形を考慮せずして設計は成り立たなくなっている。そのための設計モデルやシミュレーションに関する技術の必要性は増大する一方である。それに加え、考慮すべき高調波の波長が回路基板サイズと同等になってきたため、回路からの不要な電磁雑音 (EMI: Electromagnetic Interference) が増大し、電磁環境基準としての電磁氣的適合性 (EMC: Electromagnetic Compatibility) の実現はますます困難になってきた。

一方、EMC 実現のための低雑音実装設計法はというと、従来の事例の集積によ

る経験的手法と事後の対策が主流であった。これは、そもそもデジタル回路や IC/LSI が高周波回路としては設計されていなかったことに起因する。そのため不要電磁波放射の原因の理解が進まず、EMC 設計ができる理論的な基盤が構築されなかった。結果として、せいぜい基板グラウンドの強化やデカップリングコンデンサ・EMI フィルタの使用に頼らざるを得なかった。設計の元になる等価回路モデルもほとんど無い状況であった。

本研究は、筆者らが近年進めている EMC 設計のためのデジタル回路のモデル化とそれに基づく低雑音実装設計法に関するものである。

高速デジタル回路の動作時に発生する不要電磁妨害波 (EMI) を低減するためには、その発生機構を理解すると同時に、EMI の大きさと回路の各部分の設計パラメータとの関係を定量的に把握する必要がある。これまでも、デジタル回路

からの EMI をシミュレーションにより見積ろうとする試みが数多くなされているが、現状では解析速度や適用可能な範囲、シミュレーションの精度などの点で、十分に実用に足るものは無いといえる。

回路の設計段階で EMC 特性を考慮する設計法を「EMC 設計 (EMC design)」と呼ぶ。本研究では、デジタル回路の EMC 設計のうちで特に EMI 低減設計に関して、電子回路 CAD に連動する EMC 設計ツールとして、デジタル回路およびデバイスのモデル化手法の開発について検討している。具体的には、デジタル回路基板上および基板内の高周波電流・電圧および高周波電磁界を高速に解析するシミュレータを開発することを目標としている。本稿では、その研究成果として、EMI 特性を大きく左右するプリント回路基板 (PCB: Printed Circuit Board) のモデル化、EMI 励振のそもそもの原因となるデジタル IC/LSI のモデル化の方法、さらにその IC/LSI モデルと PCB モデルを組み合わせた不要電磁波シミュレーション (EMI シミュレーション) の結果について、幾つかの結果を紹介する。

## 2. EMI シミュレーションの要素

高速のデジタルプリント回路基板が原因となって発生する EMI には 2 種類あ

る。一つは「信号系配線による EMI」であり、もう一つは「電源系配線による EMI」である。信号系については、高速信号系が原因となるいわゆる「コモンモード放射」がある。他方、信号系に高速のパルス信号を流すためには、電源供給系にも高速に変化する電流が流れる。これが回路基板全体を高周波的に揺すって、EMI の原因となる。

本質的に、信号系電流と電源系電流に特段の区別は無く、上記の電流のすべてが不要放射を引き起こす可能性が有る。信号系電流に関しては、何らかのかたちでコモンモード電流を発生させたり、理想的でない信号帰路配線により大きなループを電流が流れて放射を発生する。あるいは信号系リターン電流がグランド面やグランド配線系のインピーダンスに流れるとグランド電位を変動させて、そこにつながったケーブルなどをアンテナとして励振することにより放射を発生する。

これをより単純に考えると、Fig.1 のように理解できる。すべての放射は、駆動源である IC・LSI が原因であり、駆動源が無ければいかなる放射も発生しない。回路動作自体は本質的にはノーマルモード (差動モード) であるから、その往復電流による電磁波は打ち消しあい大きな放射は発生しないが、これが何らかの

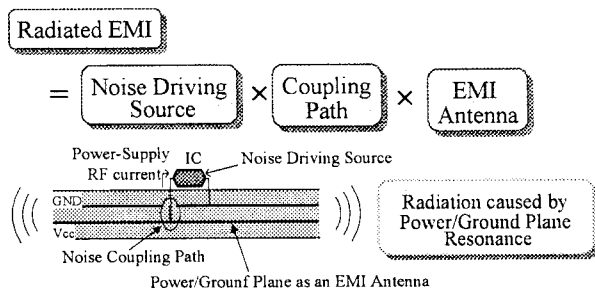


Fig. 1: Three factors for evaluating radiated EMI.

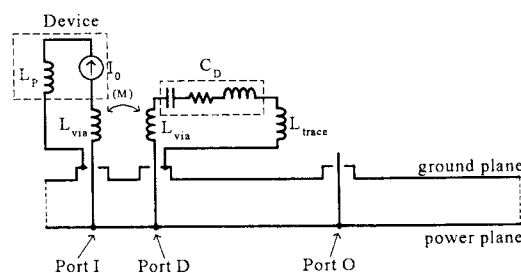


Fig. 2: Simulation model consisting of planar electromagnetic circuit and device models.

アンテナ構造を高周波的な結合により励振すると不要な電磁放射が発生する。すなわち、不要放射の発生機構は、次の3段階に分けて考えるべきである。

- [1] 駆動源 (ノーマルモード) :  
IC・LSI などと回路
- [2] 励振 (あるいは結合) 経路
- [3] アンテナ構造

最終的な不要放射は上記の3段階が複合して決定される。すなわち、まず駆動源であるIC・LSIなどが、その動作速度や回路構成により、特定の周波数帯域で高周波電流を流す。また、アンテナとして働く構造は、その寸法や構造あるいはインピーダンスの周波数特性により、その放射効率は特定の周波数で大きくなる。さらにこの駆動源とアンテナ構造の間の結合も周波数に依存するので、駆動源からアンテナへの励振効率も周波数特性を持つ。したがって、最終的な不要放射電磁波のスペクトルは、駆動源スペクトルと、励振効率の周波数特性と、アンテナ構造の周波数特性の3者の合成で決定される。EMIシミュレーションを考える場合にも、上記の3段階を個別にモデル化すればよいことになる。

通常、この種の回路・電磁波問題では、[2][3]をまとめてたとえばFDTD法などの数値的解析法により扱うことが多い。し

かしこれらの手法はミクロな構成方程式から直接結果を得る方法であり、その結果から[2]の結合機構を抽出して設計改善を行なうことは難しい。本研究では結合機構を物理的にモデル化することで、低EMI実装設計法を原理的に明確化するとともに、解析効率自体を大幅に改善することを目指している。

### 3. プリント回路基板電源系の電磁界シミュレーション

電源・グランド層を持つ多層プリント回路基板(PCB)の電源系は、平行平板共振器を構成するため、その共振周波数で不要電磁波放射が発生する。このモデルの数値解析法を開発した<sup>[1][2]</sup>。本手法ではPCB内の電磁界をグリーン関数によるモード展開法<sup>[3][4]</sup>で解析的にインピーダンス行列で表現し、さらに2重級数展開を解析的に1重級数に簡略化することにより高速化を図っている。集中定数デバイスモデルとFig.2のように電気回路的に接続する事で解析効率を上げている。本手法は多層基板を多ポート平面回路として表し、必要などころにだけポートを仮定して解析する。したがって本質的に領域分割は不要であり、基板全体を通常のFDTD法あるいは集中定数等価回路網で展開する手法<sup>[5]</sup>と比較して、精度の向上、

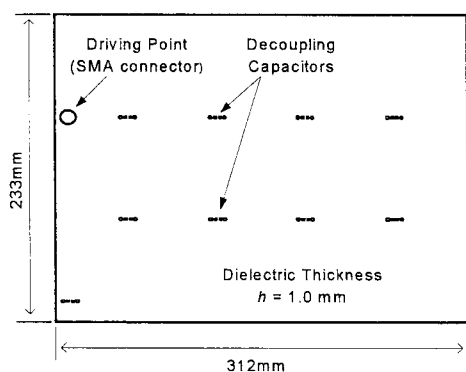


Fig. 3: Four-layer PCB under test.

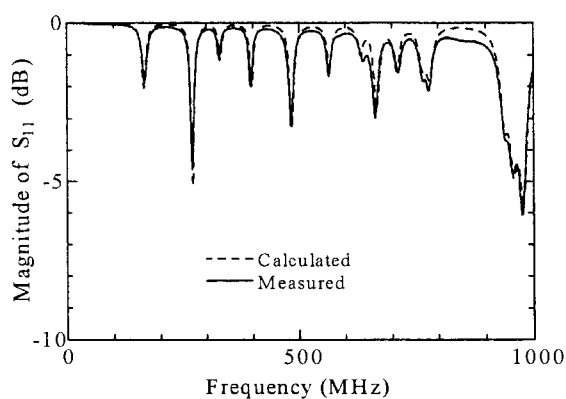


Fig.4: Reflection coefficient with 8 decoupling capacitors.

計算の高速化が実現できた。

次に解析例を示す<sup>[6][7]</sup>。解析対象は Fig.3 に示す 4 層基板 (信号・グランド・電源・信号) で、表面層にバイパスコンデンサを実装するためのランドと基板励振および共振観測用のコネクタを設けている。本解析では、多端子対回路としてモデル化することによって、バイパスコンデンサなどの単純な素子だけでなく IC/LSI などの大規模な素子や多数の部品が実装された場合の共振の予測も可能となる。バイパスコンデンサを 8 個実装した場合の共振特性の解析値を実測結果と合わせて Fig. 4 に示す。バイパスコンデンサによる共振周波数のずれや共振の  $Q$  も精度良く再現できている事が分かる。

#### 4. EMI シミュレーションのための IC/LSI のモデル化

デジタル回路基板からの電磁妨害波 (EMI) の根源は、高速スイッチングする IC/LSI の高周波電流である。たとえば、これらの素子の高速スイッチングによって生じた高周波電流は、多層基板の電源グランド層間の平行平板共振を励振し、基板そのものをアンテナとする放射の原

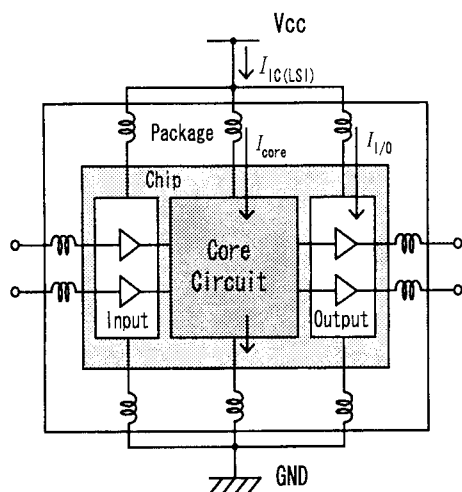


Fig. 5: Power current for core circuit and I/O circuit of LSI.

因となる。EMI を抑えるためには、IC/LSI の電流雑音 (高周波電流) の把握と制御が重要である。<sup>1</sup>

IC/LSI が回路に流す電流には、電源ピンに流れ込む電流と入出力の信号系電流がある。信号系電流に関しては、これまでも回路設計の観点から SPICE モデルや IBIS モデルなど、シミュレーションのためのモデルが開発されている。しかし、電源系電流に関しては回路動作とは直接関係がないため適当なモデルが存在しなかった。

近年、電源系の電流が大きな EMI の駆動源になることが明らかになり、EMI 低減設計の必要から、IC/LSI とその周辺の電源系回路の電流シミュレーションが要求されるようになった。そのための電源系のモデルがいくつか提案されている<sup>[8]-[10]</sup>。しかし解析時間・精度・汎用性など全ての条件を満たす万能モデルは未だ存在しない。そこで筆者らは EMC シミュレーションに特化して解析時間と精度の向上を図る IC/LSI の電源系マクロモデルの開発を行なっている<sup>[11]-[16]</sup>。LSI の電源ピンに流れ込む電流  $I_{IC}$  は、Fig.5 のように入出力バッファ回路に流れ込む電流  $I_{I/O}$  と、コア回路に流れ込む電流  $I_{core}$  に分けることができる。出力バッファは一般に大きな電流駆動力を持つので、規模の小さい LSI やバスバッファタイプの IC では、バッファ回路に流れ込む電流 (充放電電流) が支配的になる。また逆に集積度が大きく I/O の動作速度が比較的低い LSI では、コア回路を流れる電流 (コア電流) が支配的になる。

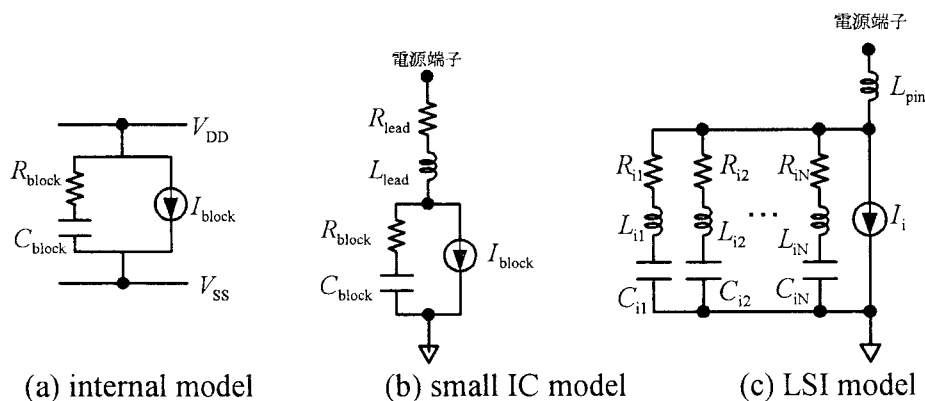
<sup>1</sup> IC・LSI の EMI 駆動源としての特性評価について現在、IEC の SC47A/WG9 で「半導体 EMC 測定方法、IEC 61967 : Integrated Circuits, Measurement of Electromagnetic Emissions, 150 kHz to 1 GHz」として国際的な標準測定法の規格化が進められている。筆者はメンバー。

筆者らはコア電流による電源系の EMI 励振および電源系デカップリングによる放射低減を定量的に評価するために、Fig.6 に示すような等価内部インピーダンスと内部電流源によるモデルを新たに提案した<sup>[11][12]</sup>。またそのモデルパラメータの同定法について検討し、さらにこれを用いた PCB の回路シミュレーションならびに EMI シミュレーションを行なった<sup>[13][14]</sup>。このモデルの等価内部インピーダンスは集中定数素子 (LCR) で表され、線形の回路解析が可能である。

CMOS IC を考えると、半導体内の機能ブロックは Fig.6(a) のようなスイッチングを表す電流源と MOS トランジスタの ON 抵抗とドレインソース間容量からなる

RC 直列回路と考えることが出来る。したがって、パッケージされた IC のモデルは Fig.6(b) のモデルとなる。さらに規模の大きな LSI は、この機能ブロックが多数集まったものとして、Fig.6(c) のように表現できる。

等価内部インピーダンスは、IC の電源グランド間をインピーダンスアナライザで測定する事により決定できる。Fig.7 は 10K ゲート FPGA のインピーダンス測定結果とモデルによる再構成結果である。また、内部電流源もやはり、測定により求まる。このマクロモデルを用いて、IC 外部の電源供給系のインピーダンスを変化させたときの電源高周波電流  $I_V$  のシミュレーション結果を Fig.8 に示す。広い



(a) internal model (b) small IC model (c) LSI model  
Fig. 6 : Linear equivalent circuit and current source (LECCS) model.

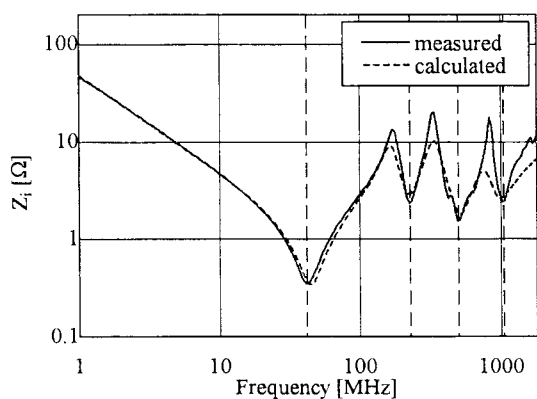


Fig. 7: Equivalent internal impedance of 10K gate FPGA.

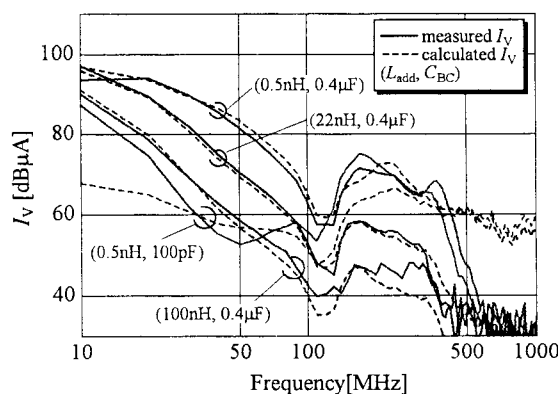


Fig. 8: Simulated power current spectra for several power-supply impedance.

ンピーダンス範囲にわたって、良い精度で電流スペクトルが求まっている。

### 5. EMI シミュレーション

3 節で述べた基板の平行平板共振器モデルと、4 節で述べた IC/LSI の電源系電流のマクロモデルを組み合わせると、プリント回路基板の放射性 EMI シミュレーションを行なうことができる。

3 節での解析は、部品が搭載された基板がどのような周波数で共振するかを解析するものである。その際には、励振源としては一定レベルの電流源を仮定している。一方、実際の基板においては、実装された能動デバイスが基板に電流を流す。この電流の大きさは、基板と駆動側デバイスのインピーダンスの関係で決まる。

たとえば Fig.9 に示すように、基板から

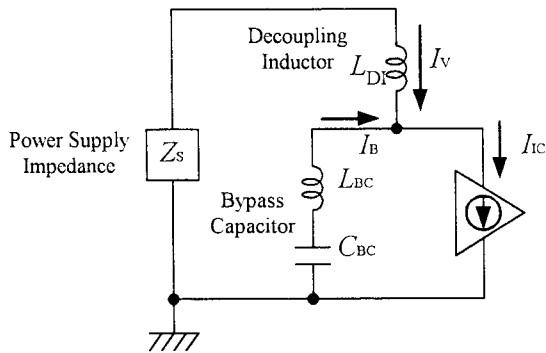


Fig. 9. Power decoupling scheme.

の電源供給接続に直列にインダクタを挿入してデバイスと基板上の給電系をデカップリングすれば、基板に流れ込む高周波電流は小さくなり EMI も小さくなる。あるいは、デバイスに並列に入るバイパスコンデンサのインダクタンスを小さくして、高周波電流をデバイス近傍に閉じ込めれば、やはり基板上の高周波電流は小さくなる。これらの「電源デカップリング」手法は EMI 低減に有効である。実際に、このデカップリング・インダクタやバイパスコンデンサ（キャパシタ）は、基板上、パッケージ上、およびチップ上などに配置される。このときのデカップリング効果を解析するためには、これらのデカップリング素子のインピーダンス

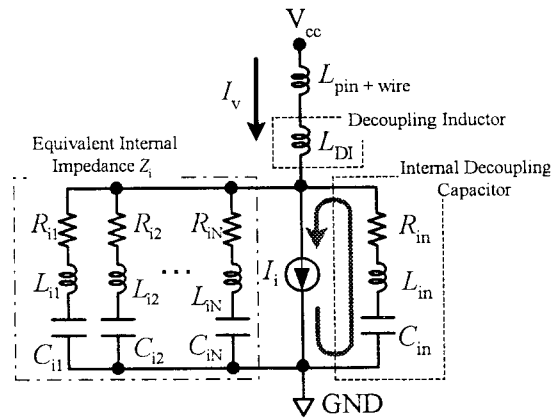


Fig. 10. Equivalent (LECCS) model for power decoupling and EMI simulation.

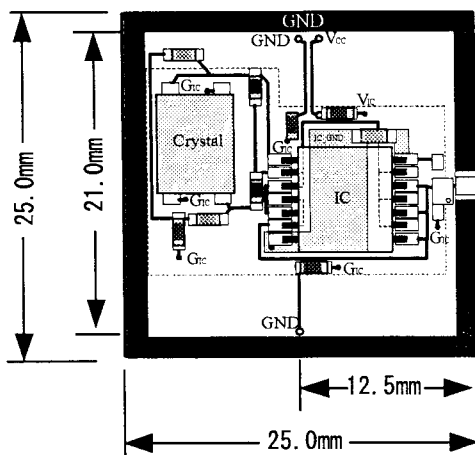


Fig. 11. Internal decoupling in package.

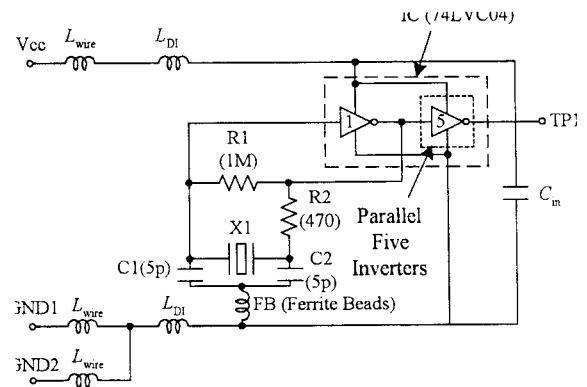


Fig. 12. Equivalent circuit of the module.

と基板の入力インピーダンスに加えて、能動デバイス (IC/LSI) の内部インピーダンス及び内部電圧 (あるいは電流) 源のモデルを知ればよいことになる。

筆者等は、このデバイスのモデルとして、Fig.10 に示すような線形の等価回路モデルを提案し、その EMI 解析に対する有効性を示してきた<sup>[11]-[16]</sup>。ここではデバイス自体の低 EMI 設計としての電源デカップリング解析と、その結果としての EMI レベル予測について述べる<sup>[14][15]</sup>。

用いたデバイスは、パッケージ上での電源デカップリング効果を模擬するために作成した、Fig.11 に示すモジュールである。20MHz の水晶発振子と CMOS-IC (74LVC04) を 25mm 角の 4 層基板上に実装した。その等価回路を Fig.12 に示す。

このモジュールを Fig.13 に示す基板上に実装し、バッテリー駆動して、3 m 法電波半無響室内で EMI を評価した。まず、内部でデカップリングを行わない場合には Fig.14 のようにモデルによるシミュレーション結果は実測とよく一致する。さらに、(a)モジュール内部にバイパスキャパシタ (1000pF) 単体、および(b)同じキャパシタにデカップリング用のインダクタ (30nH) を追加した場合を Fig.15 に示す。(a)の場合、および(b)でインダクタを電源側に実装した場合については、シミュレーションによりデカップリング効果の評価が出来ている。ただ、(b)でモジュールのグランド接続側にインダクタを実装した場合については、実測の EMI 低減効果は小さくなっている。現在のモデルではインダクタの位置を変えても直列インピーダンスは変わらないはずであるので、この結果は高周波域において現モデルでは表現できていない寄生容量などが存在し、この定量化が高周波域での EMI 評価のために重要であることを示唆して

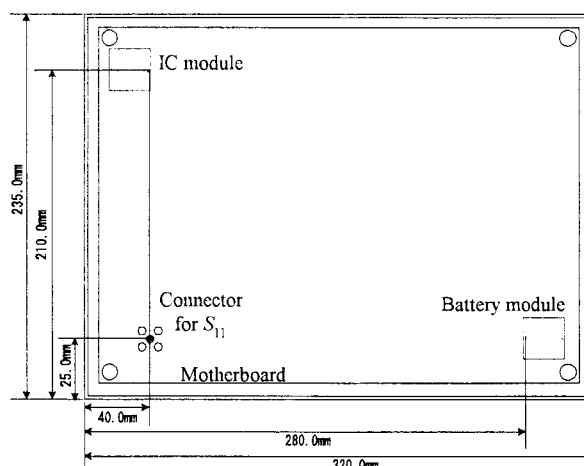


Fig. 13. Evaluation board; two-layer FR4, with rectangular power and ground planes.

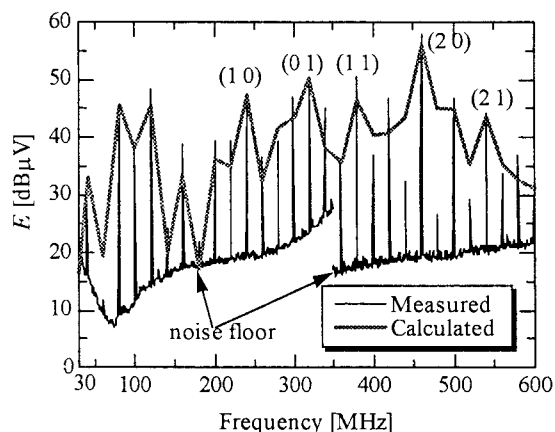
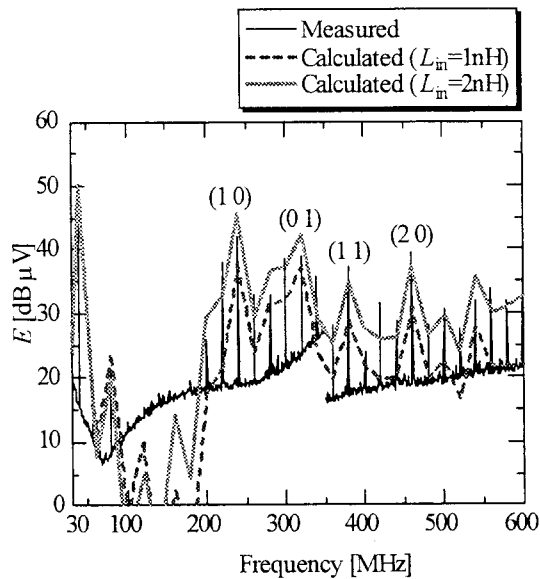
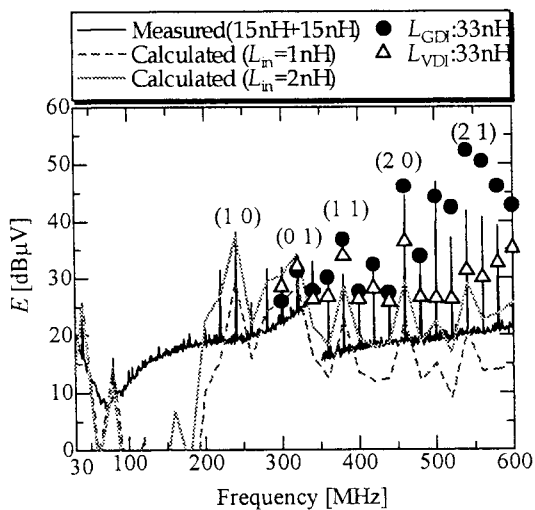


Fig. 14. Simulated and measured far-field with no internal decoupling.

いる。この寄生容量値は数 pF と見積もることが出来る。デバイスが大型化し実装密度も上がってくると、この程度の寄生容量値の発生は不可避である。すなわち、今後のデバイスおよび回路のさらなる高速化を視野に入れると、これら寄生効果も考慮に入れたデカップリング手法とその評価法の必要性が見えてくる。従来の、半導体チップ、パッケージ、PCB と物理構造で切り分けた設計・評価法ではこの問題に対応することは難しく、この3者相互間の電磁的結合も考慮に入れたモデル化・設計手法を導入する必要がある。



(a)  $C_{in} = 1000 \text{ pF}$ .



(b)  $C_{in} = 1000 \text{ pF}$ ,  $L_{DI} = 30\text{nH}(33\text{nH})$ .

Fig. 15. Far-field EMI with an internal decoupling capacitor and internal decoupling inductor.

## 6. むすび

高速デジタル回路が発生する不要放射電磁雑音(EMI)を低減するための EMC 実装設計法として、プリント回路基板とデジタル IC/LSI のモデル化を行なった。特に、デジタル回路基板の電源給電系の共振と、これを励振する LSI 給電系を

物理的な構成に着目してモデル化した。

さらにこの両モデルを組み合わせると、LSI 給電系電流に起因する EMI の定量的解析を試み、実測と良い一致を得た。さらに高周波領域においては、パッケージ等の寄生インピーダンスによる影響が無視できないことを示し、今後の研究方針を示した。

本研究により、従来は困難であったデジタル回路設計時における EMI 特性の考慮と設計へのフィードバックが、少なくとも電源系に関しては可能となる目処がついた。今後その範囲を拡大するとともに、さらに高周波域でも有効な新たな実装設計手法について検討してゆく予定である。

## 謝辞

本研究は、(財)高柳記念電子科学技術振興財団の平成 11 年度研究助成を受けた。ここに記して感謝する。また、本研究は日本学術振興会「未来開拓学術研究推進事業」研究プロジェクト「デジタル回路からの不要電磁波の低減」の一環として行なわれた。同プロジェクトのプロジェクトリーダー岡山大学・古賀隆治教授および関係諸氏に感謝する。

## 参考文献:

- [1] Z.L. Wang, O. Wada, Y. Toyota, and R. Koga, "An improved closed-form expression for accurate and rapid calculation of power/ground plane impedance in multilayer PCBs," 電学電磁界理論研資, EMT-00-68, Oct. (2000).
- [2] Z. L. Wang, O. Wada, Y. Toyota, and R. Koga, "Reducing Q-factors of resonances in power/ground planes of multilayer PCBs by using resistive metallic layers," Trans. IEE Japan, Vol. 121-A, No.10, pp.928-932, Oct. (2001).



- [3] G.-T. Lei, R. W. Techentin, P. R. Hayees, D. J. Schwab, B. K. Gilbert, "Wave Model Solution to Ground/Power Plane Noise Problem," IEEE Trans. Instrum. Meas., Vol.44, pp.300-303 (1995).
- [4] G.-T. Lei, R.W. Techentin, B. K. Gilbert, "High-Frequency Characterization of Power/Ground-Plane Structures," IEEE Trans. Microwave Theory Tech., Vol.47, May, pp.562-569 (1999).
- [5] 原田高志, 浅尾清, 佐々木英樹, 上芳夫: 「多層プリント回路基板電源供給系の二次元解析」, 信学技報, EMCJ99-102, pp.7-14. (1999).
- [6] 溝田寿, 王志良, 豊田啓孝, 和田修己, 古賀隆治, 「多層基板の平行平板共振特性の高速解析」IEEE 広島支部学生シンポジウム論文集, pp.63-66 (2001).
- [7] O. Wada, Z. L. Wang, Y. Toyota, R. Koga, "Simulation of decoupling effect on radiated EMI from a multilayer PCB," 2001 Korea-Japan AP/EMC/EMT joint conf. (KJJC), Sep.10-11, pp.222-225 (2001).
- [8] H. Irino, H. Wabuka, N. Tamaki, N. Masuda, H. Tohya, "SPICE Simulation of Power Supply Current from LSI on PCB with a Behavioral Model," 1999 Int.Symp. on EMC, pp.224-226, May (1999).
- [9] 安藤徳昭, 遠矢弘和, 「新 CMOS 電源モデルによるデカップリング回路の交流解析」, 信学技報, EMCJ98-107, March (1998).
- [10] 風間智, 篠原慎一, 佐藤利三郎, 「等価回路を用いた CMOSIC の端子電流の推定方法」, 信学技報, EMCJ99-58, Sept. (1999).
- [11] Y. Fukumoto, Y. Takahata, O. Wada, Y. Toyota, R. Koga, T. Miyashita, "Power Current Model of LSI/IC Containing Equivalent Internal Impedance for EMI Analysis of Digital Circuits," IEICE Trans. Commun., Vol.E84-B, No.11, pp.3041-3049, (2001).
- [12] 高島靖雄, 渡邊篤志, 和田修己, 古賀隆治, 福本幸弘, 「電流源によるICの電源端子電流のモデリング」電子情報通信学会環境電磁工学研究会, EMCJ99-104, pp.21-26(1999).
- [13] O.Wada, Y.Takahata, Y.Toyota, R.Koga, T.Miyashita, Y.Fukumoto, "Power Current Model of Digital IC with Internal Impedance for Power Decoupling Simulation," 4th European Symposium on Electromagnetic Compatibility Proceedings Vol.2, pp.315-320 (2000).
- [14] Y. Fukumoto, O. Shibata, K. Takayama, T. Kinoshita, Z. L. Wang, Y. Toyota, O. Wada, R. Koga: "Radiated emission analysis of power bus noise by using a power current model of an LSI", 2002 IEEE Int. Symposium on EMC, pp.1037-1042 (2002).
- [15] 高山 恵介, 木下 智博, 松石 拓也, 松永茂樹, 王志良, 豊田 啓孝, 和田 修己, 古賀 隆治, 福本 幸弘, 柴田 修, "LSIの電源端子電流モデルのEMIシミュレーションへの適用," 信学論, Vol.J85-B, No.2, 掲載予定, (2003).
- [16] 和田修己, 高山恵介, 王志良, 古賀隆治, 福本幸「多層基板電源系によるEMIの低減のための電源デカップリング効果」, エレクトロニクス実装学会電磁特性研究会公開研究会論文集, Vol.11, No.3, pp.33-40, (2002).
- [17] 木下智博, 高山恵介, 松石拓也, 福本幸弘, 王志良, 松永茂樹, 豊田啓孝, 和田修己, 古賀隆治, 「LSI電源端子電流モデルのEMIシミュレーションへの適用」信学技報, EMCJ2001-16, pp.43-48 (2001).